

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-094878

(43)Date of publication of application : 06.04.2001

(51)Int.Cl.

H04N 5/335  
H01L 27/146

(21)Application number : 11-279386

(71)Applicant : MINOLTA CO LTD

(22)Date of filing : 30.09.1999

(72)Inventor : HAGIWARA YOSHIO  
TAKADA KENJI

(30)Priority

Priority number : 11208296

Priority date : 22.07.1999

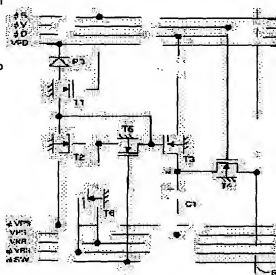
Priority country : JP

## (54) SOLID-STATE IMAGE PICKUP DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a solid-state image pickup device capable of highly accurately picking up an image of a subject in a wide luminance range from a high luminance area up to a low luminance area and having high responsiveness capable of quickly resetting each pixel to an original state even in the low luminance area.

**SOLUTION:** In the case of allowing each pixel to execute image pickup operation, MOS transistors (TRs) T1, T5 are turned on, a MOS TR T6 is turned off and a MOS TR T2 is driven in a subthreshold area. In the case of allowing each pixel to execute reset operation, the MOS TRs T1, T5 are turned off, the MOS TR T6 is turned on and the gate voltage of the MOS TR T2 is fixed. When a signal  $\phi_{\text{HVP}}$  is turned to a high level and cut off after turning the MOS TR T2 to a conductive state, a signal corresponding to the threshold of the MOS TR T2 is outputted as correction data.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



## 【特許請求の範囲】

【請求項1】 入射した光量に応じた電気信号を発生する感光素子と該感光素子に第1電極が電気的に接続される第1のトランジスタを有するとともに該第1のトランジスタをサブスレッショルド領域で動作させて前記電気信号を自然対数的に変換する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記感光素子と前記第1のトランジスタの第1電極との間にスイッチ手段を備え、

前記スイッチ手段をONにするとともに前記第1のトランジスタをサブスレッショルド領域で動作させて撮像を行い、

又、前記スイッチ手段をOFFにするとともに前記第1のトランジスタに撮像時よりも大きい電流が流れ得るようにしてリセットを行うことを特徴とする固体撮像装置。

【請求項2】 入射した光量に応じた電気信号を発生する感光素子と該感光素子に第1電極が電気的に接続される第1のトランジスタを有するとともに該第1のトランジスタをサブスレッショルド領域で動作させて前記電気信号を自然対数的に変換する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記感光素子と前記第1のトランジスタの第1電極との間にスイッチ手段を備え、

前記スイッチ手段をONにするとともに前記第1のトランジスタをサブスレッショルド領域で動作させて撮像を行い、

又、前記スイッチ手段をOFFにするとともに前記第1のトランジスタに撮像時よりも大きい電流が流れ得るようにしてリセットを行うことによって前記各画素を同じ初期状態にすることを特徴とする固体撮像装置。

【請求項3】 入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、

前記光電変換手段が、

第1電極に直流電圧が印加された光電変換素子と、

前記光電変換素子の第2電極に一方の接点が接続された第1スイッチと、

第1電極と第2電極と制御電極とを備え、第1電極が前記スイッチの他方の接点に接続された第1のトランジスタと、

第1電極と第2電極と制御電極とを備え、第1電極に直流電圧が印加されるとともに制御電極が前記第1のトランジスタの第1電極に接続され、第2電極から電気信号を出力する第2のトランジスタと、

前記第1のトランジスタの第1電極と制御電極との間に接続された第2スイッチとを有し、

前記第1スイッチ及び前記第2スイッチをONにして前記各画素に撮像動作を行わせ、

前記第1スイッチ及び前記第2スイッチをOFFにするとともに前記第1のトランジスタの制御電極と第2電極に与える電圧を変化させることによって、前記各画素の感度のバラツキを検出することを特徴とする固体撮像装置。

【請求項4】 前記第1のトランジスタの制御電極に一方の接点が接続されるとともに、他方の接点に直流電圧が印加された第3スイッチを有し、

前記各画素が撮像動作を行うときは、前記第3スイッチをOFFにし、又、前記各画素の感度バラツキを検出するときは、前記第3スイッチをONにすることを特徴とする請求項3に記載の固体撮像装置。

【請求項5】 前記第3スイッチがトランジスタであることを特徴とする請求項4に記載の固体撮像装置。

【請求項6】 前記第1のトランジスタの制御電極に一端が接続されたキャパシタが設けられ、前記各画素が撮像動作を行うときと、前記各画素の感度バラツキを検出するときとで前記キャパシタの他端に印加する電圧を異ならせることを特徴とする請求項3に記載の固体撮像装置。

【請求項7】 前記第2スイッチがトランジスタであることを特徴とする請求項3～請求項6のいずれかに記載の固体撮像装置。

【請求項8】 入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、

前記光電変換手段が、

第1電極に直流電圧が印加された光電変換素子と、

前記光電変換素子の第2電極に一方の接点が接続された第1スイッチと、

第1電極と第2電極と制御電極とを備え、第1電極及び制御電極が前記第1スイッチの他方の接点に接続されるとともに、第2電極に直流電圧が印加された第1のトランジスタと、

第1電極と第2電極と制御電極とを備え、第1電極に直流電圧が印加されるとともに制御電極が前記第1のトランジスタの第1電極及び制御電極に接続され、第2電極から電気信号を出力する第2のトランジスタと、

前記第1のトランジスタの制御電極に一端が接続されたリセット用キャパシタとを有し、

前記各画素が撮像動作を行うときは、前記第1スイッチをONにするとともに前記リセット用キャパシタの他端に与える電圧を第1電圧として前記第1のトランジスタをサブスレッショルド領域で動作させ、

前記各画素をリセットするとき、前記第1スイッチをOFFにするとともに前記リセット用キャパシタの他端に与える電圧を第2電圧として、前記第1のトランジスタ

に撮像時よりも大きい電流が流れ得るようにすることを特徴とする固体撮像装置。

【請求項 9】 入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、

前記光電変換手段が、

第 1 電極に直流電圧が印加された光電変換素子と、

前記光電変換素子の第 2 電極に一方の接点が接続された第 1 スイッチと、

第 1 電極と第 2 電極と制御電極とを備え、第 1 電極及び制御電極が前記第 1 スイッチの他方の接点に接続された第 1 のトランジスタと、

第 1 電極と第 2 電極と制御電極とを備え、第 1 電極に直流電圧が印加されるとともに制御電極が前記第 1 のトランジスタの第 1 電極及び制御電極に接続され、第 2 電極から電気信号を出力する第 2 のトランジスタとを有し、前記各画素が撮像動作を行うときは、前記第 1 スイッチを ON にするとともに前記第 1 のトランジスタの第 2 電極に与える電圧を第 1 電圧として前記第 1 のトランジスタをサブスレッショルド領域で動作させ、

前記各画素をリセットするとき、前記第 1 スイッチを OFF にするとともに前記第 1 のトランジスタの第 2 電極に与える電圧を第 2 電圧として、前記第 1 のトランジスタに前記第 2 電圧を与える前よりも大きい電流が流れ得るようにすることを特徴とする固体撮像装置。

【請求項 10】 入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記光電変換手段が、

第 2 電極に直流電圧が印加された光電変換素子と、

前記光電変換素子の第 1 電極に一方の接点が接続された第 1 スイッチと、

第 1 電極と第 2 電極と制御電極とを備え、第 2 電極が前記第 1 スイッチの他方の接点に接続された第 1 のトランジスタと、

第 1 電極と第 2 電極と制御電極とを備え、第 1 電極に直流電圧が印加されるとともに制御電極が前記第 1 のトランジスタの第 2 電極に接続され、第 2 電極から電気信号を出力する第 2 のトランジスタとを有し、前記第 1 スイッチを ON にするとともに前記第 1 のトランジスタをサブスレッショルド領域で動作させて前記各画素に撮像動作を行わせ、

前記第 1 スイッチを OFF にするとともに前記第 1 のトランジスタの第 1 電極に与える電圧を変化させることによって、前記各画素の感度のバラツキを検出することを特徴とする固体撮像装置。

【請求項 11】 前記第 1 スイッチが前記第 1 のトランジスタと逆極性のトランジスタであることを特徴とする

請求項 3～請求項 9 のいずれかに記載の固体撮像装置。

【請求項 12】 前記第 1 スイッチがトランジスタであることを特徴とする請求項 3～請求項 10 に記載の固体撮像装置。

【請求項 13】 前記画素が、マトリクス状に配設されることを特徴とする請求項 1～請求項 12 のいずれかに記載の固体撮像装置。

【請求項 14】 複数の画素を有する固体撮像装置において、

10 各画素が、

フォトダイオードと、

該フォトダイオードの一方の電極に第 1 電極が接続された第 1 MOS トランジスタと、

該第 1 MOS トランジスタの第 2 電極に第 1 電極が接続された第 2 MOS トランジスタと、

前記第 2 MOS トランジスタの第 1 電極にゲート電極が接続された第 3 MOS トランジスタと、

前記第 2 MOS トランジスタの第 1 電極に第 1 電極が接続されるとともに、前記第 2 MOS トランジスタのゲート電極に第 2 電極が接続された第 4 MOS トランジスタと、

20

前記第 2 MOS トランジスタのゲート電極に第 1 電極が接続されるとともに、第 2 電極に直流電圧が印加された第 5 MOS トランジスタとを有し、

前記第 1 及び第 4 MOS トランジスタを ON にするとともに、第 5 MOS トランジスタを OFF にして、前記第 2 MOS トランジスタを閾値以下のサブスレッショルド領域で動作させて前記各画素に撮像動作を行わせ、前記第 1 及び第 4 MOS トランジスタを OFF にするとともに、前記第 5 MOS トランジスタを ON にした後、

30

前記第 2 MOS トランジスタの第 2 電極に与える電圧を変化させることによって、前記第 2 MOS トランジスタの閾値電圧による各画素の感度のバラツキを検出することを特徴とする固体撮像装置。

【請求項 15】 複数の画素を有する固体撮像装置において、

各画素が、

フォトダイオードと、

該フォトダイオードの一方の電極に第 1 電極が接続された第 1 MOS トランジスタと、

40

該第 1 MOS トランジスタの第 2 電極に第 1 電極が接続された第 2 MOS トランジスタと、

前記第 2 MOS トランジスタの第 1 電極にゲート電極が接続された第 3 MOS トランジスタと、

前記第 2 MOS トランジスタの第 1 電極に第 1 電極が接続されるとともに、前記第 2 MOS トランジスタのゲート電極に第 2 電極が接続された第 4 MOS トランジスタと、

前記第 2 MOS トランジスタのゲート電極に一端が接続された第 1 キャパシタとを有し、

50

前記第1及び第4MOSトランジスタをONにするとともに、前記第1キャパシタの他端に第1電圧を与えて、前記第2MOSトランジスタを閾値以下のサブスレッシヨルド領域で動作させて前記各画素に撮像動作を行わせる。

前記第1及び第4MOSトランジスタをOFFにする  
とともに、前記第1キャパシタの他端に第2電圧を与えた  
後、前記第2MOSトランジスタの第2電極に与える電  
圧を変化させることによって、前記第2MOSトランジ  
スタの閾値電圧による各画素の感度のバツツキを検出す  
ることを特徴とする固体撮像装置。

【請求項 16】 複数の画素を有する固体撮像装置において、

各面素が、

フォトダイオードと、

該フォトダイオードの一方の電極に第1電極が接続された第1MOSトランジスタと、

該第1MOSトランジスタの第2電極に第1電極及びゲート電極が接続された第2MOSトランジスタと。

前記第2 MOSトランジスタの第1電極及びゲート電極にゲート電極が接続された第3 MOSトランジスタと、

前記第2 MOSトランジスタの第1電極及びゲート電極に一端が接続された第1キャパシタとを有し、

前記画素に撮像動作をさせるときは、前記第1MOSトランジスタをONにするとともに、前記第1キャパシタ

の他端に第1電圧を与えて、前記第2MOSトランジスタを閾値以下のサブスレッショルド領域で動作させ

前記画素のリセットを行うときは、前記第1MOSトランジスタをOFFにするとともに、前記第1キャパシタ

の他端に第2電圧を与えて、前記第2MOSトランジスタに撮像時よりも大きい電流が流れ得るようにすること

【請求項 17】 複数の画素を有する固体撮像装置にお

いて、  
各要素が

フォトダイオードと、

該フォトダイオードの一方の電極に第1電極が接続された第1MOSトランジスタと、

該第1MOSトランジスタの第2電極に第1電極及びゲート電極が接続された第2MOSトランジスタと、

前記第2MOSトランジスタの第1電極及びゲート電極にゲート電極が接続された第3MOSトランジスタとを

有し、  
前記画面に撮像動作をさせるときは、前記第1MOST

ランジスタをONにするとともに、前記第2MOSトランジスタの第2電極に第1電圧を与えて、前記第2MOS

Sトランジスタを閾値以下のサブスレッショルド領域で動作させ

前記画素のリセットを行うときは、前記第1MOSトランジスタをOFFにするとともに、前記第2MOSトラン

ンジスタの第2電極に第2電圧を与えて、前記第2MOSトランジスタに前記第2電圧を与える前よりも大きい電流が流れ得るようにすることを特徴とする固体撮像装置。

【請求項18】 前記画素が、第1電極が前記第3MOSトランジスタの第2電極に接続され、第2電極が出力信号線に接続され、ゲート電極が行選択線に接続された第7MOSトランジスタを有することを特徴とする請求項14～請求項17のいずれかに記載の固体撮像装置

10 【請求項 19】 前記画素が、第1電極に直流電圧が印  
加され、ゲート電極が前記第3MOSトランジスタの第  
2電極に接続されるとともに、前記第3MOSトランジ  
スタの第2電極から出力される出力信号を増幅する第6  
MOSトランジスタを有することを特徴とする請求項1  
4〜請求項17のいずれかに記載の固体撮像装置。

【請求項 20】 前記画素が、第 1 電極が前記第 6 MO  
S トランジスタの第 2 電極に接続され、第 2 電極が出力  
信号線に接続され、ゲート電極が行選択線に接続された  
第 7 MO ストランジスタを有することを特徴とする請求  
項 19 に記載の固体撮像装置。

【請求項21】 前記画素が、前記第3MOSトランジスタの第2電極に一端が接続されるとともに、前記第3MOSトランジスタの第1電極にリセット電圧が与えられたときに前記第3MOSトランジスタを介してリセットされる第2キャパシタを有することを特徴とする請求項19又は請求項20に記載の固体撮像装置。

【請求項 22】 前記第 3 MOS トランジスタの第 1 電極に直流電圧が印加されるとともに、

前記第3 MOSトランジスタの第2電極に第1電極が接

続され第2電極に直流電圧が接続された第8 MOSトランジスタと、

前記第3 MOSトランジスタの第2電極に一端が接続されるとともに、前記第8 MOSトランジスタのゲート電

極にリセット電圧が与えられたときに前記第8 MOSトランジスタを介してリセットされる第2キャパシタと、

を有することを特徴とする請求項 19 又は請求項 20 に記載の固体撮像装置。

【請求項 23】 前記第 1 MOS トランジスタがディプレッション型 MOS トランジスタであることを特徴とする請求項 14～請求項 22 のいずれかに記載の固体撮像装置。

【請求項24】 前記第1MOSトランジスタが前記第2MOSトランジスタと逆極性のMOSトランジスタであることを特徴とする請求項14～請求項22にのいずれかに記載の固体撮像装置。

【請求項 25】 複数の画素を有する固体撮像装置にお

各面素が

該フォトダイオードの一方の電極に第2電極が接続された第1MOSトランジスタと、

該第1MOSトランジスタの第1電極に第2電極が接続された第2MOSトランジスタと、

前記第2MOSトランジスタの第2電極にゲート電極が接続された第3MOSトランジスタとを有し、

前記第1MOSトランジスタをONにするとともに、前記第2MOSトランジスタを閾値以下のサブスレッシュ

ルド領域で動作させて前記各画素に撮像動作を行わせ、前記第1MOSトランジスタをOFFにした後、前記第2MOSトランジスタの第1電極に与える電圧を変化さ

せることによって、前記第2MOSトランジスタの閾値電圧による各画素の感度のバラツキを検出することを特徴とする固体撮像装置。

【請求項26】 前記画素が、第1電極が前記第3MOSトランジスタの第2電極に接続され、第2電極が出力信号線に接続され、ゲート電極が行選択線に接続された第5MOSトランジスタを有することを特徴とする請求項25に記載の固体撮像装置。

【請求項27】 前記画素が、第1電極が直流電圧に接続され、ゲート電極が前記第3MOSトランジスタの第2電極に接続されるとともに、前記第3MOSトランジスタの第2電極から出力される出力信号を増幅する第4MOSトランジスタを有することを特徴とする請求項25に記載の固体撮像装置。

【請求項28】 前記画素が、第1電極が前記第4MOSトランジスタの第2電極に接続され、第2電極が出力信号線に接続され、ゲート電極が行選択線に接続された第5MOSトランジスタを有することを特徴とする請求項27に記載の固体撮像装置。

【請求項29】 前記画素が、前記第3MOSトランジスタの第2電極に一端が接続され他端が直流電圧に接続されるとともに、前記第3MOSトランジスタの第1電極にリセット電圧が与えられたときに前記第3MOSトランジスタを介してリセットされるキャパシタを有することを特徴とする請求項27又は請求項28に記載の固体撮像装置。

【請求項30】 前記第3MOSトランジスタが前記第1及び第2MOSトランジスタと逆の極性のMOSトランジスタであることを特徴とする請求項29に記載の固体撮像装置。

【請求項31】 前記第3MOSトランジスタの第1電極が直流電圧に接続されるとともに、前記第6MOSトランジスタのゲート電極にリセット電圧が与えられ

たときに前記第6MOSトランジスタを介してリセットされるキャパシタと、

を有することを特徴とする請求項27又は請求項28に記載の固体撮像装置。

【請求項32】 前記第3及び第6MOSトランジスタが前記第1及び第2MOSトランジスタと逆の極性のMOSトランジスタであることを特徴とする請求項31に記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は固体撮像装置に関するものであり、特に複数の画素を備えた固体撮像装置に関する。

【0002】

【従来の技術】固体撮像装置は、小型、軽量で低消費電力であるのみならず、画像歪や焼き付きが無く、振動や磁界などの環境条件に強い。又、LSI (Large Scale Integrated circuit) と共通の工程又は類似の工程で製造できるので、信頼性が高く、量産にも適している。このため、ライン状に画素が配された固体撮像装置がフ

クシリやフラットベッドスキャナに、マトリクス状に画素が配された固体撮像装置がビデオカメラやデジタルカメラなどに幅広く使用されている。ところで、このような固体撮像装置は光電変換素子で発生した光電荷を読み出す(取り出す)手段によってCCD型とMOS型に大きく分けられる。CCD型は光電荷をポテンシャルの

井戸に蓄積し、転送するようになっており、ダイナミックレンジが狭いという欠点がある。一方、MOS型はフォトダイオードのpn接合容量に蓄積した電荷をMOSトランジスタを通して読み出すようになっている。

【0003】ここで、従来のMOS型固体撮像装置の1画素当りの構成を図54に示し説明する。同図において、PDはフォトダイオードであり、そのカソードがMOSトランジスタT1のゲートとMOSトランジスタT2のドレインに接続されている。MOSトランジスタT1のソースはMOSトランジスタT3のドレインに接続され、MOSトランジスタT3のソースは出力信号線Voutへ接続されている。またMOSトランジスタT1のドレイン及びMOSトランジスタT2のソースには直流電圧VPDが印加され、フォトダイオードのアノードには直流電圧VPSが印加されている。

【0004】フォトダイオードPDに光が入射すると、光電荷が発生し、その電荷はMOSトランジスタT1のゲートに蓄積される。ここで、MOSトランジスタT3のゲートにパルス信号φVを与えてMOSトランジスタT3をONすると、MOSトランジスタT1のゲートの電荷に比例した電流がMOSトランジスタT1、T3を通して出力信号線Voutへ導出される。このようにして入射光量に比例した出力電流を読み出すことができる。

信号読み出し後はMOSトランジスタT3をOFFにし

20

30

40

50

るとともに、MOSTランジスタT2のゲートに信号φRSを与えてMOSTランジスタT2をONすることでMOSTランジスタT1のゲート電圧を初期化させることができる。

#### 【0005】

【発明が解決しようとする課題】このように、従来のMOS型の固体撮像装置は各画素においてフォトダイオードで発生しMOSTランジスタのゲートに蓄積された光電荷をそのまま読み出すものであったからダイナミックレンジが狭く、そのため露光量を精密に制御しなければならず、しかも露光量を精密に制御しても暗い部分が黒くつぶれたり、明るい部分が飽和したりしていた。一方、本出願人は、入射した光量に応じた光電流を発生し、光電流を対数変換するようにした固体撮像装置を提案した(特開平3-192764号公報参照)。このような固体撮像装置は、広いダイナミックレンジを有しているものの、画素毎に設けられたMOSTランジスタの閾値特性が異なることがあり、画素毎に感度が異なる場合がある。よって、予め輝度が異なる明るい光(一様光)を照射することによって得られた出力を、被写体の撮像時の各画素の出力を補正する補正データとして保持するなどの対策が必要がある。

【0006】しかしながら、操作者が外部光源を用いて各画素を照射するのは煩雑であったり、うまく一様に露光できないなどの問題があった。又、一様光の照射機構を撮像装置に設けると撮像装置の構成が煩雑になるという問題があった。そこで本発明者は、このような問題点を解決すべく、予め一様光を照射することなく各画素の感度バラツキをうち消すことができる回路構成について種々検討を行っている。本発明はこのような点に鑑みられたものであって、予め一様光を照射することなく、被写体の撮像時における各画素の出力を補正する補正データを正確に得ることができる固体撮像装置を提供することを目的とする。又、本発明の他の目的は、各画素の初期状態をほぼ同一の状態とする事によって、各画素の感度のバラツキを抑制した固体撮像装置を提供することである。

#### 【0007】

【課題を解決するための手段】上記の目的を達成するため請求項1に記載の固体撮像装置は、入射した光量に応じた電気信号を発生する感光素子と該感光素子に第1電極が電気的に接続される第1のトランジスタを有するとともに該第1のトランジスタをサブスレッショルド領域で動作させて前記電気信号を自然対数的に変換する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記感光素子と前記第1のトランジスタ

の第1電極との間にスイッチ手段を備え、前記スイッチ手段をONするとともに前記第1のトランジスタをサブスレッショルド領域で動作させて撮像を行い、又、前記スイッチ手段をOFFにするとともに前記第1のトランジスタに撮像時よりも大きい電流が流れ得るようにしてリセットを行うことを特徴とする。

【0008】又、請求項2に記載の固体撮像装置は、入射した光量に応じた電気信号を発生する感光素子と該感光素子に第1電極が電気的に接続される第1のトランジスタを有するとともに該第1のトランジスタをサブスレッショルド領域で動作させて前記電気信号を自然対数的に変換する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記感光素子と前記第1のトランジスタの第1電極との間にスイッチ手段を備え、前記スイッチ手段をONするとともに前記第1のトランジスタをサブスレッショルド領域で動作させて撮像を行い、又、前記スイッチ手段をOFFにするとともに前記第1のトランジスタに撮像時よりも大きい電流が流れ得るようにしてリセットを行うことによって前記各画素を同じ初期状態にすることを特徴とする。

【0009】請求項1又は請求項2に記載のような固体撮像装置は、例えば、ビデオムービーなどの撮像装置のように撮像動作とリセット動作を繰り返すことで、動画を撮像する場合、感光素子に光が入射された状態でも、スイッチ手段をOFFにすることによって、感光素子からの電気出力の影響がカットされ、光電変換手段を正確にリセットすることができる。又、第1のトランジスタに撮像時よりも大きい電流が流れ得るようにしてリセットを行うことによって各画素が同じ初期状態となり、各画素の感度バラツキを抑制することができる。

【0010】請求項3に記載の固体撮像装置は、入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記光電変換手段が、第1電極に直流電圧が印加された光電変換素子と、前記光電変換素子の第2電極に一方の接点に接続された第1スイッチと、第1電極と第2電極と制御電極とを備え、第1電極が前記スイッチの他方の接点に接続された第1のトランジスタと、第1電極と第2電極と制御電極とを備え、第1電極に直流電圧が印加されるとともに制御電極が前記第1のトランジスタの第1電極に接続され、第2電極から電気信号を出力する第2のトランジスタと、前記第1のトランジスタの第1電極と制御電極との間に接続された第2スイッチとを有し、前記第1スイッチ及び前記第2スイッチをONにして前記各画素に撮像動作を行わせ、前記第1スイッチ及び前記第2スイッチをOFFにするとともに前記第1のトランジスタの制御電極と第2電極に与える電圧を変化させることによって、前記各画

素の感度のバラツキを検出することを特徴とする。

【0011】このような固体撮像装置において、請求項4に記載するように、前記第1のトランジスタの制御電極に一方の接点が接続されるとともに、他方の接点に直流電圧が印加された第3スイッチを設けて、前記各画素が撮像動作を行うときは、前記第3スイッチをOFFにし、又、前記各画素の感度のバラツキを検出するときは、前記第3スイッチをONにするような構成にしても良い。又、請求項5に記載するように、この第3スイッチをトランジスタとしても良い。又、請求項6に記載する

ように、前記第1のトランジスタの制御電極に一端が接続されたキャパシタが設けて、前記各画素が撮像動作を行うとき、前記各画素の感度バラツキを検出するときとで前記キャパシタの他端に印加する電圧を異ならせるような固体撮像装置としても良い。又、請求項7に記載するように、前記第2スイッチをトランジスタとしても良い。

【0012】請求項8に記載の固体撮像装置は、入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記光電変換手段が、第1電極に直流電圧が印加された光電変換素子と、前記光電変換素子の第2電極に一方の接点が接続された第1スイッチと、第1電極と第2電極と制御電極とを備え、第1電極及び制御電極が前記第1スイッチの他方の接点に接続されるとともに、第2電極に直流電圧が印加された第1のトランジスタと、第1電極と第2電極と制御電極とを備え、第1電極に直流電圧が印加されるとともに制御電極が前記第1のトランジスタの第1電極及び制御電極に接続され、第2電極から電気信号を出力する第2のトランジスタと、前記第1のトランジスタの制御電極に一端が接続されリセット用キャパシタとを有し、前記各画素が撮像動作を行うときは、前記第1スイッチをONにする

とともに前記リセット用キャパシタの他端に与える電圧を第1電圧として前記第1のトランジスタをサブスレッショルド領域で動作させ、前記各画素をリセットするとき、前記第1スイッチをOFFにする

とともに前記リセット用キャパシタの他端に与える電圧を第2電圧として、前記第1のトランジスタに撮像時よりも大きい電流が流れ得るようにすることを特徴とする。

【0013】このような固体撮像装置において、各画素の前記リセット用キャパシタの他端に与える第2電圧を一定の電圧値にすることによって、各画素をリセットさせたと、各画素の前記第2のトランジスタの制御電圧をほぼ同一の初期状態とすることができる。よって、画素毎に生じる感度のバラツキを抑制することができる。

【0014】請求項9に記載の固体撮像装置は、入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信

号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記光電変換手段が、第1電極に直流電圧が印加された光電変換素子と、前記光電変換素子の第2電極に一方の接点が接続された第1スイッチと、第1電極と第2電極と制御電極とを備え、第1電極及び制御電極が前記第1スイッチの他方の接点に接続された第1のトランジスタと、第1電極と第2電極と制御電極とを備え、第1電極に直流電圧が印加されるとともに制御電極が前記第1のトランジスタの第1電極及び制御電極に接続され、第2電極から電気信号を出力する第2のトランジスタとを有し、前記各画素が撮像動作を行うときは、前記第1スイッチをONにするとともに前記第1のトランジスタの第2電極に与える電圧を第1電圧として前記第1のトランジスタをサブスレッショルド領域で動作させ、前記各画素をリセットするとき、前記第1スイッチをOFFにする

とともに前記第1のトランジスタの第2電極に与える電圧を第2電圧として、前記第1のトランジスタに前記第2電圧を与える前よりも大きい電流が流れ得るようにすることを特徴とする。

【0015】このような固体撮像装置において、各画素の前記第2のトランジスタの第2電極に与える第2電圧を一定の電圧値にすることによって、各画素をリセットさせたと、各画素の前記第2のトランジスタの制御電圧をほぼ同一の初期状態とすることができる。よって、画素毎に生じる感度のバラツキを抑制することができる。

【0016】請求項10に記載の固体撮像装置は、入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記光電変換手段が、第2電極に直流電圧が印加された光電変換素子と、前記光電変換素子の第1電極に一方の接点が接続された第1スイッチと、第1電極と第2電極と制御電極とを備え、第2電極が前記第1スイッチの他方の接点に接続された第1のトランジスタと、第1電極と第2電極と制御電極とを備え、第1電極に直流電圧が印加されるとともに制御電極が前記第1のトランジスタの第2電極に接続され、第2電極から電気信号を出力する第2のトランジスタとを有し、前記第1スイッチをONにする

とともに前記第1のトランジスタをサブスレッショルド領域で動作させて前記各画素に撮像動作を行わせ、前記第1スイッチをOFFにする

とともに前記第1のトランジスタの第1電極に与える電圧を変化させることによって、前記各画素の感度のバラツキを検出することを特徴とする。

【0017】このような固体撮像装置において、前記第1のトランジスタをサブスレッショルド領域で動作するように該第1のトランジスタ制御電極に電圧を与えることによって、前記光電変換手段を対数変換動作させることができる。又、前記第1のトランジスタを非導通状態

になるように制御電極に電圧を与えることによって、第2のトランジスタの制御電極に電荷を蓄積させて、前記光電変換手段を線形変換動作させることができる。

【0018】請求項11に記載の固体撮像装置は、請求項3〜請求項9のいずれかに記載の固体撮像装置において、前記第1スイッチが前記第1のトランジスタと逆極性のトランジスタであることを特徴とする。又、請求項12に記載の固体撮像装置は、請求項3〜請求項10に記載の固体撮像装置において、前記第1スイッチがトランジスタであることを特徴とする。

【0019】請求項13に記載の固体撮像装置は、請求項1〜12のいずれかに記載の固体撮像装置において、前記画素がマトリクス状に配設されることを特徴とする。

【0020】請求項14に記載の固体撮像装置は、複数の画素を有する固体撮像装置において、各画素が、フォトダイオードと、該フォトダイオードの一方の電極に第1電極が接続された第1MOSトランジスタと、該第1MOSトランジスタの第2電極に第1電極が接続された第2MOSトランジスタと、前記第2MOSトランジスタの第1電極に第1電極が接続されるとともに、前記第2MOSトランジスタのゲート電極に第2電極が接続された第4MOSトランジスタと、前記第2MOSトランジスタのゲート電極に第1電極が接続されるとともに、第2電極に直流電圧が印加された第5MOSトランジスタとを有し、前記第1及び第4MOSトランジスタをONにするとともに、第5MOSトランジスタをOFFにして、前記第2MOSトランジスタを閾値以下のサブスレッショルド領域で動作させて前記各画素に撮像動作を行わせ、前記第1及び第4MOSトランジスタをOFFにしたとともに、前記第5MOSトランジスタをONにした後、前記第2MOSトランジスタの第2電極に与える電圧を変化させることによって前記第2MOSトランジスタの閾値電圧による各画素の感度のバラツキを検出することを特徴とする。

【0021】請求項15に記載の固体撮像装置は、複数の画素を有する固体撮像装置において、各画素が、フォトダイオードと、該フォトダイオードの一方の電極に第1電極が接続された第1MOSトランジスタと、該第1MOSトランジスタの第2電極に第1電極が接続された第2MOSトランジスタと、前記第2MOSトランジスタの第1電極にゲート電極が接続された第3MOSトランジスタと、前記第2MOSトランジスタの第1電極に第1電極が接続されるとともに、前記第2MOSトランジスタのゲート電極に第2電極が接続された第4MOSトランジスタと、前記第2MOSトランジスタのゲート電極に一端が接続された第1キャパシタとを有し、前記第1及び第4MOSトランジスタをONにするととも

に、前記第1キャパシタの他端に第1電圧を与えて、前記第2MOSトランジスタを閾値以下のサブスレッショルド領域で動作させて前記各画素に撮像動作を行わせ、前記第1及び第4MOSトランジスタをOFFにするとともに、前記第1キャパシタの他端に第2電圧を与え、前記第2MOSトランジスタの第2電極に与える電圧を変化させることによって前記第2MOSトランジスタの閾値電圧による各画素の感度のバラツキを検出することを特徴とする。

【0022】請求項16に記載の固体撮像装置は、複数の画素を有する固体撮像装置において、各画素が、フォトダイオードと、該フォトダイオードの一方の電極に第1電極が接続された第1MOSトランジスタと、該第1MOSトランジスタの第2電極に第1電極及びゲート電極が接続された第2MOSトランジスタと、前記第2MOSトランジスタの第1電極及びゲート電極にゲート電極が接続された第3MOSトランジスタと、前記第2MOSトランジスタの第1電極及びゲート電極に一端が接続された第1キャパシタとを有し、前記画素に撮像動作をさせるときは、前記第1MOSトランジスタをONにするとともに、前記第1キャパシタの他端に第1電圧を与えて、前記第2MOSトランジスタを閾値以下のサブスレッショルド領域で動作させ、前記画素のリセットを行うときは、前記第1MOSトランジスタをOFFにするとともに、前記第1キャパシタの他端に第2電圧を与えて、前記第2MOSトランジスタに撮像時より大きい電流が流れ得るようにすることを特徴とする。

【0023】請求項17に記載の固体撮像装置は、複数の画素を有する固体撮像装置において、各画素が、フォトダイオードと、該フォトダイオードの一方の電極に第1電極が接続された第1MOSトランジスタと、該第1MOSトランジスタの第2電極に第1電極及びゲート電極が接続された第2MOSトランジスタと、前記第2MOSトランジスタの第1電極及びゲート電極にゲート電極が接続された第3MOSトランジスタとを有し、前記画素に撮像動作をさせるときは、前記第1MOSトランジスタをONにするとともに、前記第2MOSトランジスタの第2電極に第1電圧を与えて、前記第2MOSトランジスタを閾値以下のサブスレッショルド領域で動作させ、前記画素のリセットを行うときは、前記第1MOSトランジスタをOFFにするとともに、前記第2MOSトランジスタの第2電極に第2電圧を与えて、前記第2MOSトランジスタに前記第2電圧を与える前より大きい電流が流れ得るようにすることを特徴とする。

【0024】又、請求項18に記載するように、前記画素に、第1電極が前記第3MOSトランジスタの第2電極に接続され、第2電極が出力信号線に接続され、ゲート電極が行選択線に接続された第7MOSトランジスタを設けても良い。又、請求項19に記載の固体撮像装置のように、前記画素に、第1電極に直流電圧が印加さ

れ、ゲート電極が前記第3MOSトランジスタの第2電極に接続されるとともに、前記第3MOSトランジスタの第2電極から出力される出力信号を増幅する第6MOSトランジスタを設けても良い。

【0025】請求項20に記載の固体撮像装置は、請求項19に記載の固体撮像装置において、前記画素が、第1電極が前記第6MOSトランジスタの第2電極に接続され、第2電極が出力信号線に接続され、ゲート電極が行選択線に接続された第7MOSトランジスタを有することを特徴とする。

【0026】請求項21に記載の固体撮像装置は、請求項19又は請求項20に記載の固体撮像装置において、前記画素が、前記第3MOSトランジスタの第2電極に一端が接続されるとともに、前記第3MOSトランジスタの第1電極にリセット電圧が与えられたときに前記第3MOSトランジスタを介してリセットされるキャパシタを有することを特徴とする。

【0027】請求項22に記載の固体撮像装置は、請求項19又は請求項20に記載の固体撮像装置において、前記第3MOSトランジスタの第1電極に直流電圧が印加されるとともに、前記画素が、前記第3MOSトランジスタの第2電極に第1電極が接続され第2電極に直流電圧が接続された第8MOSトランジスタと、前記第8MOSトランジスタの第2電極に一端が接続されるとともに、前記第8MOSトランジスタのゲート電極にリセット電圧が与えられたときに前記第8MOSトランジスタを介してリセットされるキャパシタと、を有することを特徴とする。

【0028】請求項23に記載の固体撮像装置は、請求項14〜請求項22のいずれかに記載の固体撮像装置において、前記第1MOSトランジスタがディプレッション型MOSトランジスタであることを特徴とする。又、請求項24に記載の固体撮像装置は、請求項14〜請求項22のいずれかに記載の固体撮像装置において、前記第1MOSトランジスタが前記第2MOSトランジスタと逆極性のMOSトランジスタであることを特徴とする。

【0029】請求項25に記載の固体撮像装置は、複数の画素を有する固体撮像装置において、各画素が、フォトダイオードと、該フォトダイオードの一方の電極に第2電極が接続された第1MOSトランジスタと、該第1MOSトランジスタの第1電極に第2電極が接続された第2MOSトランジスタと、前記第2MOSトランジスタの第2電極にゲート電極が接続された第3MOSトランジスタとを有し、前記第1MOSトランジスタをONにするとともに、前記第2MOSトランジスタを閾値以下のサブスレッショルド領域で動作させて前記各画素に撮像動作を行わせ、前記第1MOSトランジスタをOFFにした後、前記第2MOSトランジスタの第1電極に与える電圧を変化させることによって、前記第2MOS

トランジスタの閾値電圧による各画素の感度のバラツキを検出することを特徴とする。

【0030】請求項25に記載の固体撮像装置において、請求項26に記載するように、前記画素に、第1電極が前記第3MOSトランジスタの第2電極に接続され、第2電極が出力信号線に接続され、ゲート電極が行選択線に接続された第5MOSトランジスタを設けても構わない。

【0031】又、請求項27に記載するように、前記画素に、前記画素が、第1電極が直流電圧に接続され、ゲート電極が前記第3MOSトランジスタの第2電極に接続されるとともに、前記第3MOSトランジスタの第2電極から出力される出力信号を増幅する第4MOSトランジスタ設けた構成としても構わない。又、このような構成の固体撮像装置において、請求項28に記載するように、前記画素に、第1電極が前記第4MOSトランジスタの第2電極に接続され、第2電極が出力信号線に接続され、ゲート電極が行選択線に接続された第5MOSトランジスタを設けても構わない。

【0032】又、請求項27又は請求項28に記載の固体撮像装置において、請求項29に記載するように、前記画素に、前記第3MOSトランジスタの第2電極に一端が接続され他端が直流電圧に接続されるとともに、前記第3MOSトランジスタの第1電極にリセット電圧が与えられたときに前記第3MOSトランジスタを介してリセットされるキャパシタを設けても良い。このような構成にすることによって、画素から出力される信号が、一旦キャパシタで積分された信号となるので、光源の変動成分や高周波のノイズがキャパシタで吸収されて除去される。更に、前記第3MOSトランジスタの第1電極にリセット電圧を与えることによって、前記第3MOSトランジスタを介してキャパシタ内の電荷が放出されてリセットされる。

【0033】このような構成の固体撮像装置において、請求項30に記載するように、前記第3MOSトランジスタが前記第1及び第2MOSトランジスタと逆の極性のMOSトランジスタとしても構わない。

【0034】又、請求項31に記載するように、前記画素において、前記第3MOSトランジスタの第1電極が直流電圧に接続されるとともに、前記画素が、前記第3MOSトランジスタの第2電極に第1電極が接続され第2電極に直流電圧が接続された第6MOSトランジスタと、前記第3MOSトランジスタの第2電極に一端が接続され他端が直流電圧に接続されるとともに、前記第6MOSトランジスタのゲート電極にリセット電圧が与えられたときに前記第6MOSトランジスタを介してリセットされるキャパシタと、を設けても構わない。このような構成にすることによって、画素から出力される信号が、一旦キャパシタで積分された信号となるので、光源の変動成分や高周波のノイズがキャパシタで吸収されて

除去される。更に、前記第6 MOSTトランジスタのゲート電極にリセット電圧を与えることによって、前記第6 MOSTトランジスタを介してキャパシタ内の電荷が放出されてリセットされる。

【0035】このような構成の固体撮像装置において、請求項32に記載するように、前記第3及び第6 MOSTトランジスタを前記第1及び第2 MOSTトランジスタと逆の極性のMOSTトランジスタとしても構わない。

【0036】

【発明の実施の形態】<図素構成の第1例>以下、本発明の固体撮像装置の各実施形態を図面を参照して説明する。図1は本発明の一実施形態である二次元のMOST型固体撮像装置の一部の構成を概略的に示している。同図において、G11~Gmnは行列配置（マトリクス配置）された画素を示している。2は垂直走査回路であり、行（ライン）4-1、4-2、・・・、4-nを順次走査していく。3は水平走査回路であり、画素から出力信号線6-1、6-2、・・・、6-mに導出された光電変換信号を画素ごとに水平方向に順次読み出す。5は電源ラインである。各画素に対し、上記ライン4-1、4-2、・・・、4-nや出力信号線6-1、6-2、・・・、6-m、電源ライン5だけでなく、他のライン（例えば、クロックラインやバイアス供給ライン等）も接続されるが、図1ではこれらについて省略する。

【0037】出力信号線6-1、6-2、・・・、6-mごとにNチャネルのMOSTトランジスタQ2が図示の如く1つずつ設けられている。MOSTトランジスタQ2のドレインは出力信号線6-1に接続され、ソースは最終的な信号線9に接続され、ゲートは水平走査回路3に接続されている。尚、後述するように各画素内にはスイッチ用のNチャネルの第4MOSTトランジスタT4も設けられている。ここで、MOSTトランジスタT4は行の選択を行うものであり、MOSTトランジスタQ2は列の選択を行うものである。

【0038】<第1の実施形態>図1に示した画素構成の第1例の各画素に適用される第1の実施形態（図2）について、図面を参照して説明する。

【0039】図2において、pnフォトダイオードPDが感光部（光電変換部）を形成している。そのフォトダイオードPDのアノードは第1MOSTトランジスタT1のドレインに接続され、このMOSTトランジスタT1のソースは、第2MOSTトランジスタのドレイン、第3MOSTトランジスタT3のゲート及び第5MOSTトランジスタT5のドレインに接続されている。MOSTトランジスタT3のソースは行選択用の第4MOSTトランジスタT4のドレインに接続されている。MOSTトランジスタT4のソースは出力信号線6（この出力信号線6は図1の6-1、6-2、・・・、6-mに対応する）へ接続されている。尚、MOSTトランジスタT1~T6は、それぞれ、NチャネルのMOSTトランジスタでバックゲー

トが接地されている。

【0040】又、フォトダイオードPDのカソードには直流電圧VPDが印加されるようになっている。一方、MOSTトランジスタT2のソースには信号φVPSが入力され、MOSTトランジスタT3のソースには他端に直流電圧VPSが印加されるキャパシタC1の一端が接続される。MOSTトランジスタT6のソースに直流電圧VRSが印加され、そのゲートに信号φVRSが入力されるとともに、そのドレインにMOSTトランジスタT2のゲート及びMOSTトランジスタT5のソースが接続される。MOSTトランジスタT3のドレインには信号φDが入力される。

【0041】又、MOSTトランジスタT5のゲートに信号φSWが入力され、MOSTトランジスタT1のゲートに信号φSが入力される。更に、MOSTトランジスタT4のゲートには信号φVが入力される。尚、本実施形態においては、信号φVPSは3値的に変化するものとし、例えば直流電圧VPDと略等しい電圧をハイレベル、例えばグランドをローレベルとし、MOSTトランジスタT2をサブスレッショルド領域で動作させるための電圧を両者の中間的な電圧である中間レベルとする。中間レベルでは、例えば、直流電圧VPSと略等しい電圧とする。

【0042】（1）各画素への入射光を電気信号に変換する動作について

まず、信号φS及び信号φSWをハイレベルとしてMOSTトランジスタT1、T5を導通させるとともに、MOSTトランジスタT2がサブスレッショルド領域で動作するように、信号φVPSを中間レベルとする。このとき、MOSTトランジスタT6のゲートには、ローレベルの信号φVRSが与えられて、MOSTトランジスタT6はOFFとなり、実質的に存在しないことと等面になる。このとき、フォトダイオードPDに光が入射すると光電流が発生し、MOSTトランジスタのサブスレッショルド特性により、前記光電流を自然対数的に変換した値の電圧がMOSTトランジスタT2、T3のゲートに発生する。この電圧により、MOSTトランジスタT3に電流が流れ、キャパシタC1には前記光電流の積分値を自然対数的に変換した値と同等の電荷が蓄積される。つまり、キャパシタC1とMOSTトランジスタT3のソースとの接続ノードaに、前記光電流の積分値を自然対数的に変換した値に比例した電圧が生じることになる。ただし、このとき、MOSTトランジスタT4はOFFの状態であるとする。

【0043】次に、MOSTトランジスタT4のゲートにバース信号φVを与えて、MOSTトランジスタT4をONにすると、キャパシタC1に蓄積された電荷が、出力電流として出力信号線6に導出される。この出力信号線6に導出される電流は前記光電流の積分値を自然対数的に変換した値となる。このようにして入射光量に対数値に比例した信号（出力電流）を読み出すことができる。

又、信号読み出し後、MOSTランジスタ4をOFFする。尚、このように入射光量に対してその出力電流を自然対数的に変換するとき、信号 $\phi$ VRSは、常にローレベルのままである。

【0044】(2) 各画素の感度のバラツキの検出方法について

以下に、図面を参照して、図2のような回路構成の画素の感度のバラツキ検出動作について説明する。図3は、リセット動作を行うときの画素内の各素子に接続された各信号線に与える信号のタイミングチャートである。

又、図4は、各画素のリセットを行う際のMOSTランジスタT2のポテンシャルの状態を示す図である。尚、図4(a)は、MOSTランジスタT2の構造を示した図で、図4(b)、(c)はMOSTランジスタT2のポテンシャルの関係を示した図である。又、図4(b)、(c)のポテンシャル図に示す矢印の方向は、ポテンシャルが高くなる方向を示す。

【0045】ところで、MOSTランジスタT2は、例えば、図4(a)のように、P型の半導体基板(以下、「P型基板」という。)10にN型拡散層11、12を形成し、且つ、そのN型拡散層11、12間のチャンネル上に順次、酸化膜13とポリシリコン層14を形成することによって構成される。ここで、N型拡散層11、12が、それぞれMOSTランジスタT2のドレイン、ソースを形成するとともに、酸化膜13及びポリシリコン層14がそれぞれゲート絶縁膜とゲート電極を形成する。尚、ここで、P型基板10において、N型拡散層11、12の間の領域をゲート下領域ということにする。

【0046】(1)で説明したように、パルス信号 $\phi$ VがMOSTランジスタT4のゲートに与えられて出力信号が出力されると、まず、信号 $\phi$ Sの電圧をローレベルにしてMOSTランジスタT1をOFFにするとともに、信号 $\phi$ SWの電圧をローレベルにしてMOSTランジスタT5をOFFにする。このようにして、MOSTランジスタT2とフォトダイオードPDとの接続、及びMOSTランジスタT2のゲートとMOSTランジスタT3のゲートとの接続を遮断する。そして、信号 $\phi$ VRSの電圧をハイレベルにしてMOSTランジスタT6をONにすることによって、MOSTランジスタT2のゲートに直流電圧VRSを印加する。又、このとき、信号 $\phi$ Dの電圧はハイレベル(直流電圧VPDと同じ又は直流電圧VPDに近い電位)である。

【0047】ここで信号 $\phi$ VPSの電圧をローレベルにすることによって、MOSTランジスタT2におけるポテンシャルの関係が、図4(b)のように、MOSTランジスタT2のドレイン、ゲート下領域、ソースにおけるポテンシャルがドレイン、ゲート下領域、ソースの順に高くなる。よって、MOSTランジスタT2のソースから負の電荷EがMOSTランジスタT2に流れ込む。このとき、フォトダイオードPDとの経路が遮断されてい

るので正の電荷がMOSTランジスタT2のドレインに向かって流れることが無い。そのため、MOSTランジスタT2のドレイン・ソース間に負の電荷が蓄積される。

【0048】そして、次に、信号 $\phi$ VPSの電圧をハイレベル、即ち直流電圧VPDと同じ又は直流電圧VPDに近い電位にすることによって、図4(c)のように、MOSTランジスタT2のソースのポテンシャルをゲート下領域のポテンシャルよりも高くする。よって、MOSTランジスタT2のドレイン・ソース間に蓄積された負の電荷が、信号線 $\phi$ VPSに流れ出す。しかしながら、MOSTランジスタT2のドレインのポテンシャルが、ゲート下領域のポテンシャルよりも高いので、MOSTランジスタT2のドレインに蓄積された負の電荷の一部E'がMOSTランジスタT2のドレインに残る。このMOSTランジスタT2のドレインに蓄積される負の電荷E'は、MOSTランジスタT2の閾値電圧によって定まり、この閾値電圧に比例した値になる。

【0049】このとき、MOSTランジスタT2のドレイン電圧は該ドレインに蓄積された負の電荷E'に対応した電圧となり、このMOSTランジスタT2のドレイン電圧がMOSTランジスタT3のゲートに現れる。このMOSTランジスタT3のゲートに現れる電圧は、MOSTランジスタT2のドレインに蓄積された負の電荷E'に比例するので、MOSTランジスタT2の閾値電圧に比例することがわかる。MOSTランジスタT2、T3をこのような状態にすると、信号 $\phi$ Dをローレベルにして、一旦、キャパシタC1及び接続ノードaの電位をリセットした後、再び、信号 $\phi$ Dをハイレベルに戻す。

【0050】そして、MOSTランジスタT3のゲート電圧によって、MOSTランジスタT3に電流が流れ、リセットされたキャパシタC1に電荷が蓄積されるとともに接続ノードaの電位が上昇する。次に、信号 $\phi$ VをハイレベルにしてMOSTランジスタT4をONすることによって、キャパシタC1に蓄積された電荷が出力電流として出力信号線6に導出される。このようにして画素毎に、そのMOSTランジスタT2の閾値電圧に比例した電流が出力信号線6に導出されて、各画素からの出力を補正するための補正データとして検出することができる。

【0051】更にいえば、この閾値電圧に比例した電流は図1の信号線9から画素毎にシリアルに出力され、後続回路においてメモリに画素毎の補正データとして記憶しておく。そして、実際の撮像時の出力電流を前記記憶されている補正データで画素毎に補正すれば、出力信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図53に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによって実現できる。

【0052】さて、上述のように補正データを検出してMOSTトランジスタ4をOFFした後、信号φVPSを中間レベルに戻してMOSTトランジスタ2をリセットするとともに、信号φVRSをローレベルにしてMOSTトランジスタ6をOFFにする。そして、信号φS及び信号φSWをハイレベルにして、MOSTトランジスタ1、T5をONにした後、信号φDをローレベルにしてMOSTトランジスタ3を通して信号φDの信号線路へキャパシタC1に蓄積された電荷を放電することによって、キャパシタC1及び接続ノードaの電位が初期化される。こうして次の撮像が行える状態とする。

【0053】<第2の実施形態>第2の実施形態について、図面を参照して説明する。図5は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図2に示す画素と同様の目的で用いられる素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0054】図5に示すように、MOSTトランジスタ1～T5及びキャパシタC1は、第1の実施形態(図2)の画素と同様の構成で、このような構成の画素に、MOSTトランジスタT6に代えてキャパシタC2を用いた回路構成となっている。即ち、キャパシタC2は、その一端がMOSTトランジスタT2のゲートとMOSTトランジスタT5のソースとの接続ノードに接続されるとともに、他端に信号φVRSが印加される。尚、信号φVRSは2値の電圧信号で、グラントレブルをローレベルとし、又、このローレベルより高い電圧をゲートに印加するための電圧をハイレベルとする。

【0055】(1)各画素への入射光を電気信号に変換する動作について  
図5のような回路構成の画素において、MOSTトランジスタT2がサブスレッショルド領域で動作するように、キャパシタC2に与える信号φVRSをローレベルとする。又、信号φS及び信号φSWをハイレベルにして、MOSTトランジスタT1、T5をONにする。このように、信号φVRSをローレベルにすることによって、キャパシタC2はMOSTトランジスタT2、T3のゲート、バックゲートにおける絶縁酸化膜で形成されるキャパシタと同様の働きをする。このようにMOSTトランジスタT2をサブスレッショルド領域で動作させることによって、フォトダイオードPDから流れる光電流を対数変換した電圧が接続ノードaに現れる。そして、MOSTトランジスタT4をONにすることによって、対数変換された出力信号を出力信号線6に出力する。

【0056】(2)各画素の感度のバラツキの検出方法について

又、各画素の感度のバラツキの検出する際の動作は、第1の実施形態と同様、図3に示すタイミングチャートに表されるリセット動作が行われる間に行われる。又、このときの動作について、図3のタイミングチャートと図

4のポテンシャルの変遷図を参照して、以下に説明する。まず、パルス信号φVが与えられた後、信号φS及び信号φSWをローレベルとしてMOSTトランジスタT1、T5をOFFにすることで、リセット動作が始まる。そして、信号φVRSをハイレベルにすることによってMOSTトランジスタT2のゲート下領域のポテンシャルを上昇させて、更に、信号φVPSの電圧をローレベルにすることによって、MOSTトランジスタT2のポテンシャルを図4(b)のような状態にして、負の電荷をソースからMOSTトランジスタT2に流入させる。

【0057】このMOSTトランジスタT2に流入した負の電荷Eが、図4(b)のように蓄積された後、信号φVPSをその値が直流電圧VPDに略等しいハイレベルにする。このとき、MOSTトランジスタT2のソースのポテンシャルがゲート下領域のポテンシャルより高くなるので、蓄積された負の電荷Eの一部がドレインより流出される。よって、図4(c)のように、MOSTトランジスタT2のドレイン及びMOSTトランジスタT2のゲートに負の電荷E'が蓄積された状態となる。このように負の電荷E'が蓄積された状態にあるため、MOSTトランジスタT2のゲート電圧が、MOSTトランジスタT1の閾値電圧によって決定される負の電荷E'によって定まる。

【0058】この状態を維持したまま、まず、信号φDをローレベルにして、キャパシタC1を一旦リセットする。そして、信号φDをもとのハイレベルに戻し、MOSTトランジスタT3のゲート電圧によって増幅された電流をキャパシタC1に充電する。このようにキャパシタC1を充電することによって接続ノードaに表れる電圧を、パルス信号φVを与えることで、出力信号としてMOSTトランジスタT4を介して出力信号線6に出力する。

【0059】更にいえば、この閾値電圧に比例した電流は図1の信号線9から画素毎にシリアルに出力され、後続回路においてメモリに画素毎の補正データとして記憶しておく。そして、実際の撮像時の出力電流を前記記憶されている補正データで画素毎に補正すれば、出力信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図53に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによって実現できる。

【0060】このように、各画素の感度のバラツキの原因であるMOSTトランジスタT2の閾値電圧に比例した値となる信号を出力したのち、信号φVPSを中間レベルにしてMOSTトランジスタT2をリセットする。その後、信号φVRSをローレベルにする。そして、信号φS及び信号φSWをハイレベルにしてMOSTトランジスタT1、T5を導通させた後、信号φDをローレベルにしたのちハイレベルにすることによって、キャパシタC1のリセットを行う。

【0061】<第3の実施形態>第3の実施形態について、図面を参照して説明する。図6は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図5に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0062】図6に示すように、第2の実施形態（図5）の画素から、MOSTランジスタT5を削除した回路構成となっている。即ち、MOSTランジスタT2、T3のゲートが接続され、又、MOSTランジスタT2のソースには直流電圧VPSが印加される。

【0063】（1）各画素への入射光を電気信号に変換する動作について

このような構成の画素における撮像動作は、第2の実施形態（図5）と同様の撮像動作を行う。即ち、信号φSをハイレベルとしてMOSTランジスタT1を導通させるとともに信号φVBSをローレベルとすることによって、MOSTランジスタT2をサブスレッショルド領域で動作させる。このようにMOSTランジスタT2をサブスレッショルド領域で動作させることによって、フォトダイオードPDから流れる光電流を対数変換した電圧が接続ノードaに現れる。そして、MOSTランジスタT4をONにすることによって、対数変換された出力信号を出力信号線6に出力する。

【0064】（2）各画素のリセット動作について  
以下に、図面を参照して、図6のような回路構成の画素のリセット動作について説明する。図7は、リセット動作を行うときの画素内の各素子に接続された各信号線に与える信号のタイミングチャートである。又、図8は、各画素のリセットを行う際のMOSTランジスタT2のポテンシャルの状態を示す図である。尚、図8（a）～（d）において、矢印の方向がポテンシャルが高いことを表す。

【0065】（1）で説明したように、MOSTランジスタT4のゲートにパルス信号φVを与えることによって、図2のような回路構成の各画素から入射光に対して対数変換された電気信号（出力信号）が出力信号線6に出力される。このように出力信号が出力されてパルス信号φVがローレベルになると、リセット動作が始まる。このリセット動作について、図7及び図8を参照して説明する。

【0066】まず、パルス信号φVがMOSTランジスタT4のゲートに与えられて、出力信号が出力されると、信号φSをローレベルにしてMOSTランジスタT1をOFFにする。このとき、MOSTランジスタT2のソース側より負の電荷が流れ込み、MOSTランジスタT2のゲート及びドレイン、MOSTランジスタT3のゲート、そしてキャパシタC2に蓄積された正の電荷が再結合される。よって、図8（a）のように、ある程度まで、MOSTランジスタT2のドレイン及びゲート

下領域のポテンシャルが下がる。

【0067】このように、MOSTランジスタT2のドレイン及びゲート下領域のポテンシャルが基の状態にリセットされようとするが、そのポテンシャルがある値になると、そのリセットされる速度が遅くなる。特に、明るい被写体が急に暗くなった場合にこの傾向が顕著となる。よって、次に、キャパシタC2に与える電圧φVBSを高くして、MOSTランジスタT2のゲート電圧を高くする。このように、MOSTランジスタT2のゲート電圧を高くすることによって、MOSTランジスタT2のポテンシャルが図8（b）のように変化し、ゲート下領域及びドレインのポテンシャルが高くなる。よって、MOSTランジスタT2のソースから流入する負の電荷の量が増加し、MOSTランジスタT2のゲート及びドレイン、MOSTランジスタT3のゲート、そしてキャパシタC2に蓄積された正の電荷が速やかに再結合される。

【0068】よって、図8（c）のように、MOSTランジスタT2のドレイン及びゲート下領域のポテンシャルが図8（b）の状態と比べて低くなる。図8（c）のようにMOSTランジスタT2のポテンシャルが変化すると、キャパシタC2に印加する電圧φVBSをローレベルにして、MOSTランジスタT2のゲート電圧を低くする。よって、MOSTランジスタT2のドレイン及びゲート下領域のポテンシャルが、図8（d）のようになって、基の状態にリセットされる。このように、MOSTランジスタT2のポテンシャルの状態を基の状態にリセットした後、信号φDの電圧をローレベルにして、キャパシタC1を放電して、接続ノードaの電位を基の状態にリセットする。そして、信号φDの電圧をハイレベルに戻す。

【0069】しかる後、パルス信号φVをMOSTランジスタT4に与えて、このリセット時の出力電流が出力信号線6に導出されて、各画素からの出力を補正するための補正データとして検出することができる。そして、再び、信号φDの電圧をローレベルにしてキャパシタC1を元の状態にリセットした後、信号φDの電圧をハイレベルに戻す。その後、信号φSをハイレベルにして、MOSTランジスタT1を導通させて撮像動作が行える状態にする。又、第1の実施形態と同様に、このリセット時に読み出した出力信号が、図1の信号線9から画素毎にシリアルに出力され、後続回路においてメモリに画素毎の補正データとして記憶しておく。そして、実際の撮像時の出力電流を前記記憶されている補正データで画素毎に補正すれば、出力信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図53に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによって実現できる。

【0070】このように、本実施形態では、MOSTラ

ンジスタT2のゲートに接続されたキャパシタC2に与える信号φVRSをハイレベルにすることによって、MOSトランジスタT2のゲート電圧を速やかに初期化することができ、固体撮像装置の応答性を改善することができる。従って、暗い被写体の撮像の場合や、明るい被写体が急に暗くなった場合に残留像の発生を防止して良好な撮像が可能となる。又、信号φVRSを各画素に共通に与えることによって、各画素に設けられたMOSトランジスタT2のゲート電圧がほぼ一定値に初期化され、初期状態において、各画素の感度バラツキがキャンセルされた状態になる。

【0071】<第4の実施形態>第4の実施形態について、図面を参照して説明する。図9は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図6に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0072】図9に示すように、第3の実施形態(図6)の画素から、キャパシタC2を削除した回路構成となっている。又、MOSトランジスタT2のソースには信号φVPSが入力される。尚、信号φVPSは、2値の電圧信号で、直流電圧VPSと略等しい電圧でMOSトランジスタT2をサブスレッショルド領域で動作させるための電圧をハイレベルとし、又、この電圧より低くMOSトランジスタT2にハイレベルの電圧を与えたときよりも大きい電流が流れ得るようにする電圧をローレベルとする。

【0073】(1) 各画素への入射光を電気信号に変換する動作について  
このような構成の画素における撮像動作は、第3の実施形態(図6)と同様の撮像動作を行う。即ち、信号φSをハイレベルにしてMOSトランジスタT1を導通させるとともに、信号φVPSをハイレベルとすることによって、MOSトランジスタT2をサブスレッショルド領域で動作させる。このようにMOSトランジスタT2をサブスレッショルド領域で動作させることによって、フォトダイオードPDから流れる光電流を対数変換した電圧が接続ノードaに現れる。そして、MOSトランジスタT4をONにすることによって、対数変換された出力信号を出力信号線6に出力する。

【0074】(2) 各画素のリセット動作について  
以下に、図面を参照して、図9のような回路構成の画素のリセット動作について説明する。図10は、リセット動作を行うときの画素内の各素子に接続された各信号線に与える信号のタイミングチャートである。又、図11は、各画素のリセットを行う際のMOSトランジスタT2のポテンシャルの状態を示す図である。尚、図11(a)～(d)において、矢印の方向がポテンシャルが高いことを表す。

【0075】(1) で説明したように、MOSトランジ

スタT4のゲートにパルス信号φVを与えることによって、図9のような回路構成の各画素から入射光に対して対数変換された電気信号(出力信号)(出力信号線6)に出力される。このように出力信号が出力されてパルス信号φVがローレベルになると、リセット動作が始まる。このリセット動作について、図10及び図11を参照して説明する。

【0076】まず、パルス信号φVがトランジスタT4のゲートに与えられて、出力信号が出力されると、信号φSをローレベルにしてMOSトランジスタT1をOFFにする。このとき、MOSトランジスタT2のソース側より負の電荷が流れ込み、MOSトランジスタT2のゲート及びドレイン、そしてMOSトランジスタT3のゲートに蓄積された正の電荷が再結合される。よって、図11(a)のように、ある程度までリセットされて、MOSトランジスタT2のドレイン及びゲート下領域のポテンシャルが下がる。

【0077】このように、MOSトランジスタT2のドレイン及びゲート下領域のポテンシャルが基の状態にリセットされようとするが、そのポテンシャルがある値になると、そのリセットされる速度が遅くなる。特に、明るい被写体が急に暗くなった場合にこの傾向が顕著となる。よって、次に、MOSトランジスタT2のソースに与える信号φVPSをローレベルにする。このように、MOSトランジスタT2のソース電圧を低くすることによって、MOSトランジスタT2のポテンシャルが図11(b)のように変化し、MOSトランジスタT2のソースから流入する負の電荷の量が増加し、MOSトランジスタT2のゲート及びドレイン、そしてMOSトランジスタT3のゲートに蓄積された正の電荷が速やかに再結合される。

【0078】よって、図11(c)のように、MOSトランジスタT2のドレイン及びゲート下領域のポテンシャルが図11(b)の状態と比べて低くなる。図11(c)のようにMOSトランジスタT2のポテンシャルが変化すると、MOSトランジスタT2のソースに与える信号φVPSをハイレベルにする。よって、MOSトランジスタT2のポテンシャル状態が、図11(d)のようになると、基の状態にリセットされる。このように、MOSトランジスタT2のポテンシャルの状態を基の状態にリセットした後、信号φDの電圧をローレベルにして、キャパシタC1を放電して、接続ノードaの電位を基の状態にリセットする。そして、信号φDの電圧をハイレベルに戻す。

【0079】しかる後、パルス信号φVをMOSトランジスタT4に与えて、このリセット時の出力電流が出力信号線6に導出されて、各画素からの出力を補正するための補正データとして検出することができる。そして、再び、信号φDの電圧をローレベルにしてキャパシタC1を元の状態にリセットした後、信号φDの電圧をハイ

レベルに戻す。その後、信号φSをハイレベルにして、MOSTランジスタT1を導通させて撮像動作が行える状態にする。又、第1の実施形態と同様に、このリセット時に読み出した出力信号が、図1の信号線9から画素毎にシリアルに出力され、後続回路においてメモリに画素毎の補正データとして記憶しておく。そして、実際の撮像時の出力電流を前記記憶されている補正データで画素毎に補正すれば、出力信号から画素のパラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図53に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。

【0080】このように、本実施形態では、MOSTランジスタT2のソースに与える信号φVPSをローレベルにすることによって、MOSTランジスタT2のゲート電圧を速やかに初期化することができ、固体撮像装置の応答性を改善することができる。従って、暗い被写体の撮像する場合や、明るい被写体が急に暗くなった場合にも残像の発生を防止して良好な撮像が可能となる。又、信号φVPSを各画素に共通に与えることによって、各画素に設けられたMOSTランジスタT2のゲート電圧がほぼ一定値に初期化され、初期状態において、各画素の感度パラツキがキャンセルされた状態になる。

【0081】尚、第1～第4の実施形態において、各画素からの信号読み出しは電荷結合素子(CCD)を用いて行うようにしてもかまわない。この場合、図2、図5、図6及び図9のMOSTランジスタT4に相当するポテンシャルレベルを可変としたポテンシャルの障壁を設けることにより、CCDへの電荷読み出しを行えばよい。

【0082】<画素構成の第2例>図12は本発明の他の実施形態である二次元的MOST型固体撮像装置の一部の構成を概略的に示している。同図において、G11～Gmnは行列配置(マトリクス配置)された画素を示している。2は垂直走査回路であり、行(ライン)4-1、4-2、・・・、4-nを順次走査していく。3は水平走査回路であり、画素から出力信号線6-1、6-2、・・・、6-mに導出された光電変換信号を画素ごとに水平方向に順次読み出す。5は電源ラインである。各画素に対し、上記ライン4-1、4-2、・・・、4-nや出力信号線6-1、6-2、・・・、6-m、電源ライン5だけでなく、他のライン(例えば、クロックラインやバイアス供給ライン等)も接続されるが、図12ではこれらについて省略する。

【0083】出力信号線6-1、6-2、・・・、6-mごとにNチャネルのMOSTランジスタQ1、Q2が図示の如く1組ずつ設けられている。MOSTランジスタQ1のゲートは直流電圧線7に接続され、ドレインは出力信号線6-1に接続され、ソースは直流電圧VPS'のライン8に接続されている。一方、MOSTランジスタ

Q2のドレインは出力信号線6-1に接続され、ソースは最終的な信号線9に接続され、ゲートは水平走査回路3に接続されている。

【0084】画素G11～Gmnには、後述するように、それらの画素で発生した光電荷に基づく信号を出力するNチャネルのMOSTランジスタQ1が設けられている。MOSTランジスタQ1と上記MOSTランジスタQ2との接続関係は図13(a)のようになる。このMOSTランジスタQ1は、第5、第6、第11、第12の実施形態では、第7MOSTランジスタT7に、第7～第10、第13の実施形態では、第3MOSTランジスタT3に相当する。ここで、MOSTランジスタQ1のソースに接続される直流電圧VPS'と、MOSTランジスタQ2のドレインに接続される直流電圧VPD'との関係はVPD' > VPS'であり、直流電圧VPS'は例えばグランド電圧(接地)である。この回路構成は上段のMOSTランジスタQ1のゲートに信号が入力され、下段のMOSTランジスタQ2のゲートには直流電圧DCが常時印加される。このため下段のMOSTランジスタQ1は抵抗又は定電流源と等価であり、図13(a)の回路はソースフォロワ型の増幅回路となっている。この場合、MOSTランジスタQ1から増幅出力されるのは電流であると考えてよい。

【0085】MOSTランジスタQ2は水平走査回路3によって制御され、スイッチ素子として動作する。尚、後述するように図14以降の各実施形態の画素内にはスイッチ用のNチャネルの第4MOSTランジスタT4も設けられている。このMOSTランジスタT4も含めて表わすと、図13(a)の回路は正確には図13(b)のようになる。即ち、MOSTランジスタT4がMOSTランジスタQ1とMOSTランジスタQ2との間に挿入されている。ここで、MOSTランジスタT4は行の選択を行うものであり、MOSTランジスタQ2は列の選択を行うものである。尚、図12および図13に示す構成は以下に説明する第5の実施形態～第13の実施形態に共通の構成である。

【0086】図13のように構成することにより信号を大きく出力することができる。従って、画素がダイナミックレンジ拡大のために感光素子から発生する光電流を自然対数的に変換しているような場合は、そのままで出力信号が小さいが、本増幅回路により充分大きな信号に増幅されるため、後続の信号処理回路(図示せず)での処理が容易になる。また、増幅回路の負荷抵抗部分を構成するMOSTランジスタQ1を画素内に設けず、列方向に配置された複数の画素が接続される出力信号線6-1、6-2、・・・、6-mごとに設けることにより、負荷抵抗又は定電流源の数を低減でき、半導体チップ上で増幅回路が占める面積を少なくできる。

【0087】<第5の実施形態>図12に示した画素構成の第2例の各画素に適用される第5の実施形態につい

て、図面を参照して説明する。図14は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図2に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0088】図14に示すように、本実施形態では、図2に示す画素に、接続ノードaにゲートが接続され接続ノードaの電圧に応じた電流増幅を行う第7MOSトランジスタT7と、このMOSトランジスタT7のソースにドレインが接続された行選択用の第4MOSトランジスタT4と、接続ノードaにドレインが接続されキャパシタC1及び接続ノードaの電位の初期化を行う第8MOSトランジスタT8が付加された構成となる。MOSトランジスタT4のソースは出力信号線6（この出力信号線6は図12の6-1、6-2、・・・、6-mに対応する）へ接続されている。尚、MOSトランジスタT7、T8も、MOSトランジスタT1～T6と同様に、NチャネルのMOSトランジスタでバックゲートが接地されている。

【0089】又、MOSトランジスタT7のドレインには直流電圧VPDが印加され、MOSトランジスタT4のゲートには信号φVが入力される。又、MOSトランジスタT8のソースには直流電圧VRS2が印加されるとともに、そのゲートには信号φVRS2が入力される。更に、MOSトランジスタT3のドレインには直流電圧VPDが印加される。尚、本実施形態において、MOSトランジスタT1～T6及びキャパシタC1は、第1の実施形態（図2）と同様の動作を行い、各画素の感度のバラツキ検出動作及び撮像動作を行うことができる。以下にその動作を説明する。

【0090】（1）各画素への入射光を電気信号に変換する動作について

まず、信号φS及び信号φSWをハイレベルとしてMOSトランジスタT1、T5を導通させるとともに信号φVPSを中間レベルとし、MOSトランジスタT2、T3がサブスレッショルド領域で動作するようにバイアスされているときの動作について、説明する。このとき、MOSトランジスタT6のゲートには、第1の実施形態と同様にローレベルの信号φVRSが与えられるので、MOSトランジスタT6はOFFとなり、実質的に存在しないことと等価になる。

【0091】フォトダイオードPDに光が入射すると光電流が発生し、MOSトランジスタのサブスレッショルド特性により、前記光電流を自然対数的に変換した値の電圧がMOSトランジスタT2、T3のゲートに発生する。この電圧により、MOSトランジスタT3に電流が流れ、キャパシタC1には前記光電流の積分値を自然対数的に変換した値と同等の電荷が蓄積される。つまり、キャパシタC1とMOSトランジスタT3のソースとの接続ノードaに、前記光電流の積分値を自然対数的に変

換した値に比例した電圧が生じることになる。ただし、このとき、MOSトランジスタT4、T8はOFF状態である。

【0092】次に、MOSトランジスタT4のゲートにパルス信号φVを与えて、MOSトランジスタT4をONにすると、MOSトランジスタT7のゲートにかかる電圧に比例した電流がMOSトランジスタT4、T7を通過して出力信号線6に導出される。今、MOSトランジスタT4のゲートにかかる電圧は、接続ノードaにかかる電圧であるので、出力信号線6に導出される電流は前記光電流の積分値を自然対数的に変換した値となる。このようにして入射光量の対数値に比例した信号（出力電流）を読み出すことができる。

【0093】（2）各画素の感度のバラツキの検出方法について

以下に、図面を参照して、図14のような回路構成の画素の感度のバラツキ検出動作について説明する。図15は、リセット動作を行うときの画素内の各素子に接続された各信号線に与える信号のタイミングチャートである。

【0094】（1）で説明したように、パルス信号φVがMOSトランジスタT4のゲートに与えられて出力信号線6が出力されると、まず、信号φSの電圧をローレベルにしてMOSトランジスタT1をOFFにするとともに、信号φSWの電圧をローレベルにしてMOSトランジスタT5をOFFにする。このようにして、MOSトランジスタT2とフォトダイオードPDとの接続、及びMOSトランジスタT2のゲートとMOSトランジスタT3のゲートとの接続を遮断する。そして、信号φVRSの電圧をハイレベルにしてMOSトランジスタT6をONにすることによって、MOSトランジスタT2のゲートに直流電圧VRSを印加する。ここで信号φVPSの電圧をローレベルにすることによって、MOSトランジスタT2のソースから負の電荷がMOSトランジスタT2に流れ込み、MOSトランジスタT2のドレイン・ソース間に負の電荷が蓄積される。

【0095】次に、信号φVPSの電圧をハイレベル、即ち直流電圧VPDと同じ又は直流電圧VPDに近い電位にすることによって、MOSトランジスタT2のドレイン・ソース間に蓄積された負の電荷の一部を、信号線φVPSに流出する。しかしながら、MOSトランジスタT2のドレインのポテンシャルが、ゲート下領域のポテンシャルよりも高いので、MOSトランジスタT2のドレインに蓄積された負の電荷の一部がMOSトランジスタT2のドレインに残る。このMOSトランジスタT2のドレインに蓄積される負の電荷は、MOSトランジスタT2の閾値電圧によって定まり、この閾値電圧に比例した値になる。

【0096】このとき、MOSトランジスタT2のドレイン電圧は該ドレインに蓄積された負の電荷に対応した

31

電圧となり、このMOSトランジスタT2のドレイン電圧がMOSトランジスタT3のゲートに現れる。このMOSトランジスタT3のゲートに現れる電圧は、MOSトランジスタT2のドレインに蓄積された負の電荷に比例するので、MOSトランジスタT2の閾値電圧に比例することがわかる。MOSトランジスタT2、T3をこのような状態にすると、信号φVRS2をハイレベルにして、一旦、キャパシタC1及び接続ノードaの電位をリセットした後、再び、信号φVRS2をローレベルに戻す。

【0097】そして、MOSトランジスタT3のゲート電圧によって、MOSトランジスタT3に電流が流れ、リセットされたキャパシタC1に電荷が蓄積されるとともに接続ノードaの電位が上昇する。次に、信号φVをハイレベルにしてMOSトランジスタT4をONすることによって、接続ノードaの電圧がMOSトランジスタT7で電流増幅されて出力信号線6に導出される。このようにして画素毎に、そのMOSトランジスタT2の閾値電圧に比例した電流が出力信号線6に導出されて、各画素からの出力を補正するための補正データとして検出

することができる。  
【0098】さて、上述のように補正データを検出してMOSトランジスタT4をOFFした後、信号φVPSを中間レベルにしてMOSトランジスタT2をリセットするとともに、信号φVRSをローレベルに戻してMOSトランジスタT6をOFFにする。そして、信号φS及び信号φSWをハイレベルにして、MOSトランジスタT1、T5をONにした後、信号φVRS2をハイレベルにしてMOSトランジスタT8を通してキャパシタC1に蓄積された電荷を放電することによって、キャパシタC1及び接続ノードaの電位が初期化される。このようにして次の撮像が行える状態にする。

【0099】<第6の実施形態>第6の実施形態について、図面を参照して説明する。図16は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図14に示す画素と同様の目的で使用する素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0100】図16に示すように、本実施形態では、MOSトランジスタT3のドレインに信号φDを与えることによってキャパシタC1及び接続ノードaの電位を初期化するようにし、それによってMOSトランジスタT8を削除した構成となっている。その他の構成は第5の実施形態(図14)と同一である。尚、信号φDのハイレベル期間では、第1の実施形態(図2)と同様にキャパシタC1で積分が行われ、ローレベル期間では、キャパシタC1の電荷がMOSトランジスタT3を通して放電され、キャパシタC1の電圧及びMOSトランジスタT7のゲートは略信号φDのローレベル電圧になる(リセット)。本実施形態では、MOSトランジスタT8を

32

省略できる分、構成がシンプルになる。

【0101】この実施形態において、撮像動作をさせるときは、第5の実施形態と同様に、MOSトランジスタT1、T5をONにするとともに信号φVRSをローレベルにしてMOSトランジスタT6をOFFにすることによって、MOSトランジスタT2がサブスレッショルド状態で動作するようにする。又、信号φDをハイレベルにして、光電流の積分値を自然対数的に変換した値と同等の電荷をキャパシタC1に蓄積する。そして、所定のタイミングでMOSトランジスタT4をONにして、MOSトランジスタT7のゲートにかかる電圧に比例した電流をMOSトランジスタT4、T7を通して出力信号線6に導出する。

【0102】又、各画素をリセットするときは、第1の実施形態と同様、図3のタイミングで信号を制御する。即ち、まず、第1の実施形態と同様に、パルス信号φVが与えられた後、信号φS及び信号φSWをローレベルにしてMOSトランジスタT1、T5をOFFにして、リセット動作が始まる。次に、信号φVRSをハイレベルにして、MOSトランジスタT2のゲートに直流電圧V<sub>RB</sub>を加する。そして、信号φVPSを一旦ローレベルにした後、信号φVPSをハイレベルにして、MOSトランジスタT2のドレインに負の電荷が蓄積される。この負の電荷量は、MOSトランジスタT2の閾値電圧によって決まる。

【0103】このとき、一旦、信号φDをローレベルにしてキャパシタC1及び接続ノードaをリセットする。そして、キャパシタC1には、MOSトランジスタT2の閾値電圧に比例した電流がMOSトランジスタT3を通じて流入して、接続ノードaに現れる電圧がこの閾値電圧に比例した電圧になる。パルス信号φVをMOSトランジスタT4のゲートに与えて、接続ノードaに現れる電圧をMOSトランジスタT7で電流増幅した出力信号が出力される。このようにして画素毎に、そのMOSトランジスタT2の閾値電圧に比例した電流が出力信号線6に導出されて、各画素からの出力を補正するための補正データとして検出することができる。

【0104】このように補正データを検出してMOSトランジスタT4をOFFした後、信号φVPSを中間レベルにしてMOSトランジスタT2をリセットするとともに、信号φVRSをローレベルにしてMOSトランジスタT6をOFFにする。そして、信号φS及び信号φSWをハイレベルにして、MOSトランジスタT1、T5をONにした後、信号φDをローレベルにしてMOSトランジスタT3を通してキャパシタC1に蓄積された電荷を放電することによって、キャパシタC1及び接続ノードaの電位が初期化される。

【0105】<第7の実施形態>第7の実施形態について、図面を参照して説明する。図17は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回

50

路図である。尚、図 16 に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0106】図 17 に示すように、本実施形態では、MOSTランジスタ T3 のドレインに直流電圧 VPD が印加されるとともに、キャパシタ C1 及び MOSTランジスタ T7 を削除した構成となっている。即ち、MOSTランジスタ T3 のソースに MOSTランジスタ T4 のドレインが接続される。その他の構成は第 6 の実施形態（図 16）と同一である。

【0107】このような構成の回路において、撮像動作をさせるときは、第 6 の実施形態と同様に、MOSTランジスタ T1、T5 を ON にするとともに信号  $\phi$  VRS をローレベルにして MOSTランジスタ T6 を OFF にして、MOSTランジスタ T2 がサブスレッショルド状態で動作するようにする。このように MOSTランジスタ T2 を動作させることによって、前記光電流に対して自然対数的に比例した値のドレイン電流が MOSTランジスタ T3 を流れる。

【0108】そして、MOSTランジスタ T4 のゲートにパルス信号  $\phi$  V を与えて ON とすると、前記光電流に対して自然対数的に比例した値のドレイン電流が、MOSTランジスタ T4 を通して出力信号線 6 に導出される。このとき、MOSTランジスタ T3 及び MOSTランジスタ Q1（図 13）の導通時抵抗とそれらを通る電流によって決まる MOSTランジスタ Q1 のドレイン電圧が、信号として出力信号線 6 に現れる。このようにして信号が読み出された後、MOSTランジスタ T4 を OFF にする。

【0109】又、各画素をリセットする際には、図 18 のタイミングチャートのように動作させる。まず、パルス信号  $\phi$  V が与えられた後、信号  $\phi$  S 及び信号  $\phi$  SW をローレベルにして MOSTランジスタ T1、T5 を OFF にして、リセット動作が始まる。次に、信号  $\phi$  VRS をハイレベルにして、MOSTランジスタ T2 のゲートに直流電圧 VRS を印加する。そして、信号  $\phi$  VPS を一旦ローレベルにした後、信号  $\phi$  VPS をハイレベルにして、MOSTランジスタ T2 のドレインに負の電荷が蓄積される。この負の電荷量は、MOSTランジスタ T2 の閾値電圧によって決まる。

【0110】このとき、パルス信号  $\phi$  V を MOSTランジスタ T4 のゲートに与えて、画素毎に、その MOSTランジスタ T2 の閾値電圧に比例した電流が出力信号線 6 に導出されて、各画素からの出力を補正するための補正データとして検出することができる。このように補正データを検出して MOSTランジスタ T4 を OFF した後、信号  $\phi$  VPS を中間レベルにして MOSTランジスタ T2 をリセットした後に、信号  $\phi$  VRS をローレベルにして MOSTランジスタ T6 を OFF にする。しかる後、信号  $\phi$  S 及び信号  $\phi$  SW をハイレベルにして、MOST

ランジスタ T1、T5 を ON にして、撮像動作を行うための構成にする。

【0111】尚、本実施形態では上記第 6 の実施形態のように、光信号をキャパシタ C1 で一旦積分するというを行わないので、積分時間が不要となり、又、キャパシタ C1 のリセットも不要であるので、その分信号処理の高速化が図れる。又、本実施形態では、第 6 の実施形態に比し、キャパシタ C1 及び MOSTランジスタ T7 を省略できる分、構成が更にシンプルになり画素サイズを小さくすることができる。

【0112】<第 8 の実施形態>第 8 の実施形態について、図面を参照して説明する。図 19 は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図 5 及び図 17 に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0113】図 19 に示すように、本実施形態では、第 7 の実施形態（図 17）に示す画素に、MOSTランジスタ T6 に代えてキャパシタ C2 を用いた回路構成となっている。即ち、キャパシタ C2 は、その一端が MOSTランジスタ T2 のゲートと MOSTランジスタ T5 のソースとの接続ノードに接続されるとともに、他端に信号  $\phi$  VRS が印加される。尚、第 2 の実施形態（図 5）と同様に、信号  $\phi$  VRS は 2 値の電圧信号で、グランドレベルをローレベルとし、又、このローレベルより高い電圧をハイレベルとする。

【0114】このように、本実施形態の構成と第 2 の実施形態の構成との関係は、第 7 の実施形態の構成と第 1 の実施形態（図 2）の構成との関係とに対応する。よって、第 2 の実施形態と同様に、キャパシタ C2 に与える信号  $\phi$  VRS をローレベルとするとともに、MOSTランジスタ T1、T5 を ON にすることによって、MOSTランジスタ T2 をサブスレッショルド領域で動作させる。よって、フォトダイオード PD から流れる光電流を対数変換した電圧が接続ノード a に現れる。そして、MOSTランジスタ T4 を ON にすることによって、対数変換された出力信号を出力する。又、リセット動作は、第 7 の実施形態と同様、図 18 のタイミングチャートで示すタイミングで各信号の値を変化させることによって、各画素の感度のバラツキを補正データとして検出することができる。

【0115】尚、第 5～第 8 の実施形態の回路構成をした画素によると、各画素が撮像動作を行ったとき、各画素の感度のバラツキの原因となる MOSTランジスタの閾値電圧に比例した信号を各画素からの出力を補正するための補正データとして検出することができる。更にいえば、予め、後続回路においてメモリに、撮像時に出力された画像データを画素毎に記憶するとともに、各画素内の MOSTランジスタの閾値電圧に比例した電流を図 12 の信号線 9 から画素毎にシリアルに出力して、後続

回路における別のメモリに画素毎の補正データとして記憶しておく。そして、この画像データを補正データで画素毎に補正すれば、出力信号から画素のバツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図 53 に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによって実現できる。

【0116】<第 9 の実施形態> 第 9 の実施形態について、図面を参照して説明する。図 20 は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図 6 及び図 19 に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0117】図 20 に示すように、第 8 の実施形態（図 19）の画素から、MOSTランジスタ T5 を削除した回路構成となっている。即ち、MOSTランジスタ T2、T3 のゲートが接続され、又、MOSTランジスタ T2 のソースには直流電圧 VPS が印加される。

【0118】このように、本実施形態の構成と第 3 の実施形態（図 6）の構成との関係は、第 8 の実施形態の構成と第 2 の実施形態（図 5）の構成との関係に対応する。よって、第 3 の実施形態と同様に、キャパシタ C2 に与える信号  $\phi$  VBS をローレベルとするともに、MOSTランジスタ T1 を ON にすることによって、MOSTランジスタ T2 をサブスレッショルド領域で動作させる。よって、フォトダイオード PD から流れる光電流を対数変換した電圧が接続ノード a に現れる。そして、MOSTランジスタ T4 を ON にすることによって、対数変換された出力信号を出力する。

【0119】又、各画素をリセットする際には、図 21 のタイミングチャートのように動作させる。まず、パルス信号  $\phi$  V が与えられた後、信号  $\phi$  S をローレベルにして MOSTランジスタ T1 を OFF にして、リセット動作が始まる。次に、信号  $\phi$  VBS をハイレベルにして、MOSTランジスタ T2 のゲート電圧を高くすることによって、MOSTランジスタ T2 のソースから流入する電荷の量を増加させる。

【0120】このようにして、MOSTランジスタ T2 のゲート及びドレイン、MOSTランジスタ T3 のゲート、そしてキャパシタ C2 に蓄積された正の電荷が速やかに再結合される。そして、信号  $\phi$  VBS をローレベルにして MOSTランジスタ T2 のポテンシャルを基の初期状態にリセットする。このとき、パルス信号  $\phi$  V を MOSTランジスタ T4 のゲートに与えて、画素毎に、このリセット時の出力電圧が出力信号線 6 に導出されて、各画素からの出力を補正するための補正データとして検出することができる。このように補正データを検出して MOSTランジスタ T4 を OFF した後、信号  $\phi$  S をハイレベルにして、MOSTランジスタ T1 を ON にして、次の撮像動作に備える。

【0121】<第 10 の実施形態> 第 10 の実施形態について、図面を参照して説明する。図 22 は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図 9 及び図 20 に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0122】図 22 に示すように、第 9 の実施形態（図 20）の画素から、キャパシタ C2 を削除した回路構成となっている。又、MOSTランジスタ T2 のソースには信号  $\phi$  VPS が入力される。尚、信号  $\phi$  VPS は、第 4 の実施形態（図 9）と同様に、2 値の電圧信号で、直流電圧 VPS と略等しい電圧で MOSTランジスタ T2 をサブスレッショルド領域で動作させるための電圧をハイレベルとし、又、この電圧よりも低く MOSTランジスタ T2 にハイレベルの電圧を与えたときよりも大きい電流が流れ得るようにする電圧をローレベルとする。

【0123】このように、本実施形態の構成と第 4 の実施形態の構成との関係は、第 9 の実施形態の構成と第 3 の実施形態（図 6）の構成との関係に対応する。よって、第 4 の実施形態と同様に、MOSTランジスタ T2 のソースに与える信号  $\phi$  VPS をハイレベルとするともに、MOSTランジスタ T1 を ON にすることによって、MOSTランジスタ T2 をサブスレッショルド領域で動作させる。よって、フォトダイオード PD から流れる光電流を対数変換した電圧が接続ノード a に現れる。そして、MOSTランジスタ T4 を ON にすることによって、対数変換された出力信号を出力する。

【0124】又、各画素をリセットする際には、図 23 のタイミングチャートのように動作させる。まず、パルス信号  $\phi$  V が与えられた後、信号  $\phi$  S をローレベルにして MOSTランジスタ T1 を OFF にして、リセット動作が始まる。次に、信号  $\phi$  VPS をローレベルにして、MOSTランジスタ T2 のソース電圧を低くすることによって、MOSTランジスタ T2 のソースから流入する電荷の量を増加させる。

【0125】このようにして、MOSTランジスタ T2 のゲート及びドレイン、そして MOSTランジスタ T3 のゲートに蓄積された正の電荷が速やかに再結合される。そして、信号  $\phi$  VPS をハイレベルにして MOSTランジスタ T2 のポテンシャルを基の初期状態にリセットする。このとき、パルス信号  $\phi$  V を MOSTランジスタ T4 のゲートに与えて、画素毎に、このリセット時の出力電圧が出力信号線 8 に導出されて、各画素からの出力を補正するための補正データとして検出することができる。このように補正データを検出して MOSTランジスタ T4 を OFF した後、信号  $\phi$  S をハイレベルにして、MOSTランジスタ T1 を ON にして、次の撮像動作に備える。

【0126】尚、第 9、第 10 の実施形態において、第 5 ～ 第 8 の実施形態と同様に、このリセット時に読み出

した出力信号が、図12の信号線9から画素毎にシリアルに出力され、後続回路においてメモリに画素毎の補正データとして記憶しておく。そして、実際の撮像時の出力電流を前記記憶されている補正データで画素毎に補正すれば、出力信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図53に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。

【0127】又、第8～第10の実施形態(図19、図20、図22)において、第5の実施形態(図14)のように、MOSTランジスタT8のソースに他端に直流電圧VPSが印加されたキャパシタC1やMOSTランジスタT7のゲート、そして、キャパシタC1をリセットするためのMOSTランジスタT8のドレインに接続するとともに、MOSTランジスタT7のソースをMOSTランジスタT4のドレインに接続するような構成にしても良い。又、第6の実施形態(図16)のように、MOSTランジスタT3のドレインに信号φDを与えるようにして、上述した第5の実施形態(図14)のような構成からMOSTランジスタT8を削除した構成にしても良い。

【0128】<ディプレッション型MOSTランジスタを組み合わせた構成の画素>又、第1～第10の実施形態(図2、図5、図6、図9、図14、図16、図17、図19、図20、図22)において、第1MOSTランジスタT1をディプレッション型のNチャネルのMOSTランジスタとしても構わない。この画素の構成を、第7～第10の実施形態(図17、図19、図20、図22)の画素を例にして、図24～図27に示す。図24～図27に示すように、MOSTランジスタT1以外のMOSTランジスタT2～T6は、エンハンスメント型のNチャネルのMOSTランジスタである。

【0129】図17、図19、図20、図22の構成の画素のように、画素内に設けられたMOSTランジスタを全てエンハンスメント型のMOSTランジスタで構成したとき、MOSTランジスタT1、T2が直列に接続されるため、MOSTランジスタT1のゲートに与える信号φSのハイレベルの電圧が、通常は、この画素に供給する電圧よりも高くなる。そのため、通常はMOSTランジスタT1に信号φSを与えるための別の電源を設ける必要がある。

【0130】それに対して、上述したように、このMOSTランジスタT1をディプレッション型のMOSTランジスタとすることによって、そのゲートに与える信号φSのハイレベルの電圧を低くすることができ、他のMOSTランジスタに与えるハイレベルの信号と同じ電圧にすることが可能になる。これは、ディプレッション型のMOSTランジスタの閾値が負の値となるため、エンハンスメント型のMOSTランジスタと比べて、低いゲ

ート電圧でONすることができるからである。

【0131】<PチャネルMOSTランジスタを組み合わせた構成の画素>更に、第1～第10の実施形態において、第1MOSTランジスタT1をPチャネルのMOSTランジスタとしても構わない。この画素の構成を、第7～第10の実施形態の画素を例にして、図28～図31に示す。図28～図31に示すように、MOSTランジスタT1以外のMOSTランジスタT2～T6は、NチャネルのMOSTランジスタである。又、MOSTランジスタT1のソースがフォトダイオードPDのアノードと接続されるとともに、ドレインがMOSTランジスタT2のドレインに接続される。

【0132】このような構成にしたとき、MOSTランジスタT1は、ゲート・ドレイン間の電圧差が閾値より大きければONとなり、又、ゲート・ドレイン間の電圧差が閾値より小さければOFFとなる。よって、MOSTランジスタT1のゲートに与える信号φSGが、第1～第10の実施形態の信号φSとそのタイミングが逆転するとともに、MOSTランジスタT1のドレインに直列に接続されたMOSTランジスタT2の影響を受けることなく、ON/OFF動作を行うことができる。

【0133】又、MOSTランジスタT1のON/OFF動作が、MOSTランジスタT2の影響を受けることがないので、信号φSを供給するための別の電源を設ける必要がなくなる。更に、このようにすることによって、MOSTランジスタT1を、他のMOSTランジスタと同様にエンハンスメント型のMOSTランジスタとすることができるので、他のMOSTランジスタと同一の工程でMOSTランジスタT1を生成することが可能である。よって、上述したように、第1MOSTランジスタT1のみをディプレッション型のMOSTランジスタとするとときと比べて、その生産工程が簡素化される。

【0134】<第11の実施形態>第11の実施形態について、図面を参照して説明する。図55は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図14に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0135】図55に示すように、本実施形態では、画素の出力側を構成するMOSTランジスタT3、T4、T7、T8及びキャパシタC1が、図14の画素と同様の構成をしている。このような図55の画素において、フォトダイオードPDのアノードに直流電圧VPSが印加され、MOSTランジスタT2のドレインに信号φVPDが与えられるとともにそのソースがMOSTランジスタT3のゲートに接続される。又、MOSTランジスタT2のソースにドレインが接続されるとともにフォトダイオードPDのカソードにソースが接続された第1MOSTランジスタT1が設けられる。更に、MOSTランジスタT2のゲートには信号φVPGが与えられ、MOST

ランジスタ T1 のゲートには信号  $\phi S$  が与えられる。

【0136】(1) 光電流を自然対数的に変換して出力する場合。

このとき、MOSトランジスタ T2 をサブスレッショルド領域で動作させるための電圧を第 1 電圧とし、MOSトランジスタ T2 の閾値のバラツキを検出するために、直流電圧 VPS に略等しい値となる電圧を第 2 電圧とする。

【0137】(1-a) 撮像動作

信号  $\phi VPD$  を第 1 電圧として、MOSトランジスタ T2 をサブスレッショルド領域で動作させるとともに、MOSトランジスタ T1 のゲートに与えられる信号  $\phi S$  をハイレベルにし、MOSトランジスタ T1 を ON の状態にする。このとき、フォトダイオード PD に光が入射すると光電流が発生し、MOSトランジスタのサブスレッショルド特性により、光電流を自然対数的に変換した値の電圧が MOSトランジスタ T2 のソース及び MOSトランジスタ T3 のゲートに発生する。尚、このとき、フォトダイオード PD で発生した負の光電荷が MOSトランジスタ T2 のソースに流れ込むため、強い光が入射されるほど MOSトランジスタ T2 のソース電圧が低くなる。

【0138】このようにして光電流に対して自然対数的に変化した電圧が MOSトランジスタ T3 のゲートに現れ、かつ、MOSトランジスタ T8 のゲートにハイレベルの信号  $\phi VRS2$  を与えて MOSトランジスタ T8 を ON にして、キャパシタ C1 及び接続ノード a の電圧をリセットする。このとき、接続ノード a の電圧を MOSトランジスタ T3 が動作できるように MOSトランジスタ T3 のゲート電圧により決定される表面ポテンシャルより低い電圧になるようにリセットする。次に、信号  $\phi VRS2$  をローレベルにして MOSトランジスタ T8 を OFF にした後、信号  $\phi V$  をハイレベルにして MOSトランジスタ T4 を ON にする。

【0139】このとき、接続ノード a の電圧が MOSトランジスタ T8 によってリセットされることで、MOSトランジスタ T3 が動作を行い、MOSトランジスタ T3 のゲート電圧によって決定される表面ポテンシャルをサンプルした電圧が MOSトランジスタ T7 のゲートに与えられる。よって、MOSトランジスタ T7 のゲート電圧が入射光量を対数変換した値に比例した値となるため、MOSトランジスタ T4 を ON にしたとき、前記光電流を自然対数的に変換した値となる電圧又は電圧が、MOSトランジスタ T7、T4 を介して出力信号線 6 に導出される。このようにして入射光量の対数値に比例した信号 (出力電流) を読み出すと、MOSトランジスタ T4 を OFF にする。

【0140】(1-b) 感度のバラツキ検出

各画素の感度のバラツキを検出するときの、各信号のタイミングチャートを図 56 に示す。上記のように、パル

ス信号  $\phi VRS2$  が MOSトランジスタ T8 に与えられて接続ノード a の電圧がリセットされた後、パルス信号  $\phi V$  が MOSトランジスタ T4 のゲートに与えられて、出力信号が読み出されると、まず、信号  $\phi S$  をローレベルにして、MOSトランジスタ T1 を OFF にする。そして、信号  $\phi VPD$  を第 2 電圧にして、MOSトランジスタ T2 のドレイン・ソース間に負の電荷を蓄積させる。

【0141】次に、信号  $\phi VPD$  を第 1 電圧に戻すと、この蓄積された負の電荷が信号  $\phi VPD$  の信号線に流れ出して、MOSトランジスタ T2 のソースに負の電荷が蓄積された状態になる。この負の電荷の蓄積量は、ゲート・ソース間の閾値電圧によって決まる。このように、MOSトランジスタ T2 のソースに負の電荷が蓄積されると、MOSトランジスタ T8 のゲートにパルス信号  $\phi VRS2$  を与えて、接続ノード a の電圧をリセットした後、MOSトランジスタ T4 のゲートにパルス信号  $\phi V$  を与えて出力信号を読み出す。

【0142】このとき、読み出された出力信号は、MOSトランジスタ T2 の閾値電圧に応じた値となるため、これにより、各画素の感度のバラツキを検出することができる。そして、最後に、撮像動作が行えるように、信号  $\phi S$  をハイレベルにして MOSトランジスタ T1 を ON にする。このように検出した感度のバラツキ検出を行って得られる信号を補正データとしてラインメモリなどのメモリに記憶し、各画素毎に、実際の撮像時の出力信号をこの補正データを用いて補正することによって、出力信号から画素のバラツキによる成分を取り除くことができる。この補正方法も、ラインメモリなどのメモリを画素内に設けることによっても実現できる。

【0143】(2) 光電流を線形的に変換して出力する場合。

このとき、信号  $\phi VPD$  の電圧は、MOSトランジスタ T3 の動作点となる電圧である第 3 電圧とする (MOSトランジスタ T3 が正しく作動するように回路構成が最適化されていれば、信号  $\phi VPD$  の電圧を先の第 1 電圧とすることも可能である。)。又、このとき、信号  $\phi S$  は常にハイレベルで、信号  $\phi S$  がゲートに与えられる MOSトランジスタ T1 は、常に ON 状態である。このようにすることによって、MOSトランジスタ T2 が図 54 のリセット用の MOSトランジスタ T2 に、MOSトランジスタ T3 が図 54 の信号増幅用の MOSトランジスタ T1 に相当した構成になる。

【0144】(2-a) 撮像動作

まず、信号  $\phi VPD$  をローレベルにして、リセット用の MOSトランジスタ T2 を OFF の状態にする。このように、リセット用の MOSトランジスタ T2 を OFF にすると、フォトダイオード PD に光電流が流れることによって、MOSトランジスタ T3 のゲート電圧が変化する。即ち、フォトダイオード PD より負の光電荷が MOSトランジスタ T3 のゲートに与えられ、MOSトラン

ジスタ T3 のゲート電圧が、光電流に対して線形的に変化した値になる。尚、このとき、フォトダイオード PD で発生した負の光電荷が MOS トランジスタ T3 のゲートに流れ込むため、強い光が入射されるほど MOS トランジスタ T3 のゲート電圧が低くなる。

【0145】このようにして光電流に対して線形的に変化した電圧が MOS トランジスタ T3 のゲートに現れると、まず、MOS トランジスタ T8 のゲートにハイレベルの信号  $\phi$  VRS2 を与えて MOS トランジスタ T8 を ON にして、キャパシタ C1 及び接続ノード a の電圧をリセットする。このとき、接続ノード a の電圧を MOS トランジスタ T3 が動作できるように MOS トランジスタ T3 のゲート電圧により決定される表面ポテンシャルより低い電圧になるようにリセットする。次に、信号  $\phi$  VRS2 をローレベルにして MOS トランジスタ T8 を OFF にした後、信号  $\phi$  V をハイレベルにして MOS トランジスタ T4 を ON にする。

【0146】このとき、接続ノード a の電圧が MOS トランジスタ T8 によってリセットされることで、MOS トランジスタ T3 が動作を行い、MOS トランジスタ T3 のゲート電圧によって決定される表面ポテンシャルをサンプルした電圧が MOS トランジスタ T7 のゲートに与えられる。よって、MOS トランジスタ T7 のゲート電圧が入射光量を積分した値に比例した値となるため、MOS トランジスタ T4 を ON にしたとき、前記光電流を線形的に変換した値となる電流が、MOS トランジスタ T7、T4 を介して出力信号線 6 に導出される。このようにして入射光量の値に比例した信号（出力電流）を読み出すと、MOS トランジスタ T4 を OFF にする。

【0147】(2-b) リセット動作  
各画素のリセットを行うときの、各信号のタイミングチャートを図 57 に示す。上記のように、パルス信号  $\phi$  VRS2 が MOS トランジスタ T8 に与えられて接続ノード a の電圧がリセットされた後、パルス信号  $\phi$  V が MOS トランジスタ T4 のゲートに与えられて、出力信号が読み出されると、まず、信号  $\phi$  VPG をハイレベルにして、MOS トランジスタ T2 を ON にする。このように MOS トランジスタ T2 が ON になると、MOS トランジスタ T3 のゲートに第 3 電圧が与えられ、MOS トランジスタ T3 のゲート電圧がリセットされる。そして、信号  $\phi$  VPG を再びローレベルにして、MOS トランジスタ T2 を OFF にする。

【0148】次に、MOS トランジスタ T8 のゲートにパルス信号  $\phi$  VRS2 を与えて、接続ノード a の電圧をリセットした後、MOS トランジスタ T4 のゲートにパルス信号  $\phi$  V を与えて出力信号を読み出す。このとき、出力信号は、MOS トランジスタ T3 のゲート電圧に応じた値となり、初期化されたときの出力信号として読み出される。そして、出力信号が読み出されると、再び上記した撮像動作が行われる。

【0149】このように初期化されたときの信号を補正データとしてラインメモリなどのメモリに記憶し、各画素毎に、実際の撮像時の出力信号をこの補正データを用いて補正することによって、出力信号から画素のパラッキによる成分を取り除くことができる。この補正方法は、ラインメモリなどのメモリを画素内に設けることによって実現できる。尚、第 6 の実施形態（図 16）のように、MOS トランジスタ T3 のドレインにパルス信号（例えば、 $\phi$  VPD'）を与えるような構造にして、この信号  $\phi$  VPD' によって MOS トランジスタ T3 によって、接続ノード a の電圧をリセットできるようにすることで、図 55 の構成の画素から MOS トランジスタ T8 を省略した構成にしても構わない。

【0150】<第 12 の実施形態>第 12 の実施形態について、図面を参照して説明する。図 58 は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図 55 に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0151】図 58 に示すように、本実施形態では、図 55 の画素における MOS トランジスタ T3、T8 を P チャネルの MOS トランジスタとし、MOS トランジスタ T3 のドレインに直流通電圧 VPS が印加されるとともに、この MOS トランジスタ T3 のソースに一端が接続されたキャパシタ C1 の他端に直流通電圧 VPD が印加される。又、MOS トランジスタ T8 のドレインに直流通電圧 VRS2 が印加され、そのソースに MOS トランジスタ T7 のゲートが接続される。その他の構成については、図 55 の画素の構成と同様である。尚、MOS トランジスタ T8 のソースに印加される直流通電圧 VRS2 は、VPS よりも高い電圧である。

【0152】(1) 光電流を自然対数的に変換して出力する場合。

このとき、第 11 の実施形態と同様に、MOS トランジスタ T2 をサブスレッショルド領域で動作させるための電圧を第 1 電圧とし、MOS トランジスタ T2 の閾値のパラッキを検出するために、直流通電圧 VPS に略等しい値となる電圧を第 2 電圧とする。

【0153】(1-a) 撮像動作

信号  $\phi$  VPD を第 1 電圧として、MOS トランジスタ T2 をサブスレッショルド領域で動作させるとともに、MOS トランジスタ T1 のゲートに与えられる信号  $\phi$  S をハイレベルにし、MOS トランジスタ T1 を ON の状態にする。尚、キャパシタ C1 及び接続ノード a の電圧が、MOS トランジスタ T8 によってリセットされているものとする。このとき、フォトダイオード PD に光が入射すると光電流が発生し、MOS トランジスタのサブスレッショルド特性により、光電流を自然対数的に変換した値の電圧が MOS トランジスタ T2 のソース及び MOS トランジスタ T3 のゲートに発生する。尚、このとき、

フォトダイオードPDで発生した負の光電荷がMOSトランジスタT2のソースに流れ込むため、強い光が入射されるほどMOSトランジスタT2のソース電圧が低くなる。

【0154】このようにして光電流に対して自然対数的に変化した電圧がMOSトランジスタT3のゲートに現れると、接続ノードaがリセットされてMOSトランジスタT3のゲート電圧により決定される表面ポテンシャルより高い電圧になっているので、キャパシタC1から正の電荷がMOSトランジスタT3を介して流れる。このとき、MOSトランジスタT3のゲート電圧によって、キャパシタC1から流れる正の電荷量が決定される。即ち、強い光が入射されてMOSトランジスタT2のソース電圧が低くなるほど、キャパシタC1から流れる正の電荷量が多い。

【0155】このようにしてキャパシタC1から正の電荷が流れ、接続ノードaの電圧が入射光量の積分値を対数変換した値に比例した値となる。そして、パルス信号φVを与えてMOSトランジスタT4をONにしたとき、前記光電流の積分値を自然対数的に変換した値となる電圧が、MOSトランジスタT7、T4を介して出力信号線6に導出される。このようにして入射光量の対数値に比例した信号（出力電流）を読み出すと、MOSトランジスタT4をOFFにする。

【0156】（1-b）感度のバツキ検出  
各画素の感度のバツキを検出するとき、各信号のタイミングチャートを図5に示す。上記のように、パルス信号φVがMOSトランジスタT4のゲートに与えられて、出力信号が読み出されると、第11の実施形態（図56）と同様に、まず、信号φSをローレベルにして、MOSトランジスタT1をOFFにする。そして、信号φVPDを第2電圧にして、MOSトランジスタT2のドレイン・ソース間に負の電荷を蓄積させる。

【0157】次に、信号φVPDを第1電圧に戻すと、この蓄積された負の電荷が信号φVPDの信号線に流れ出して、MOSトランジスタT2のソースに負の電荷が蓄積された状態になる。この負の電荷の蓄積量は、ゲート・ソース間の閾値電圧によって決まる。このように、MOSトランジスタT2のソースに負の電荷が蓄積されると、MOSトランジスタT8のゲートにパルス信号φVRS2を与えて、接続ノードaの電圧をリセットした後、MOSトランジスタT4のゲートにパルス信号φVを与えて出力信号を読み出す。尚、MOSトランジスタT8のゲートに与えるパルス信号φVRS2は、ローレベルのパルス信号である。

【0158】このとき、読み出された出力信号は、MOSトランジスタT2の閾値電圧に応じた値となるため、これにより、各画素の感度のバツキを検出することができる。そして、最後に、撮像動作が行えるように、信号φSをハイレベルにしてMOSトランジスタT1をO

Nにした後、MOSトランジスタT8のゲートにパルス信号φVRS2を与えて接続ノードaの電圧をリセットする。このように検出した感度のバツキ検出を行って得られる信号を補正データとしてラインメモリなどのメモリに記憶し、各画素毎に、実際の撮像時の出力信号をこの補正データを用いて補正することによって、出力信号から画素のバツキによる成分を取り除くことができる。この補正方法も、ラインメモリなどのメモリを画素内に設けることによって実現できる。

【0159】（2）光電流を線形的に変換して出力する場合。

このとき、第11の実施形態と同様に、信号φVPDの電圧は、MOSトランジスタT3の動作点となる電圧である第3電圧とする。又、このとき、信号φSは常にハイレベルで、信号φSがゲートに与えられるMOSトランジスタT1は、常にON状態である。このようにすることによって、MOSトランジスタT2が図54のセット用のMOSトランジスタT2に、MOSトランジスタT3が図54の信号増幅用のMOSトランジスタT1に相当した構成になる。

【0160】（2-a）撮像動作

まず、第11の実施形態と同様に、信号φVPDをローレベルにして、リセット用のMOSトランジスタT2をOFFの状態にする。尚、キャパシタC1及び接続ノードaの電圧が、MOSトランジスタT8によってリセットされているものとする。このように、リセット用MOSトランジスタT2をOFFにすると、フォトダイオードPDに光電流が流れることによって、MOSトランジスタT3のゲート電圧が変化する。即ち、フォトダイオードPDより負の光電荷がMOSトランジスタT3のゲートに与えられ、MOSトランジスタT3のゲート電圧が、光電流に対して線形的に変化した値になる。尚、このとき、フォトダイオードPDで発生した負の光電荷がMOSトランジスタT3のゲートに流れ込むため、強い光が入射されるほどMOSトランジスタT3のゲート電圧が低くなる。

【0161】このようにして光電流に対して線形的に変化した電圧がMOSトランジスタT3のゲートに現れると、接続ノードaがリセットされてMOSトランジスタT3のゲート電圧により決定される表面ポテンシャルより高い電圧になっているので、キャパシタC1から正の電荷がMOSトランジスタT3を介して流れる。このとき、MOSトランジスタT3のゲート電圧によって、キャパシタC1から流れる正の電荷量が決定される。即ち、強い光が入射されてMOSトランジスタT3のゲート電圧が低くなるほど、キャパシタC1から流れる正の電荷量が多い。

【0162】このようにしてキャパシタC1から正の電荷が流れ、接続ノードaの電圧が入射光量の積分値に比例した値となる。そして、パルス信号φVを与えてMOS

SトランジスタT4をONにしたとき、前記光電流の積分値を線形的に変換した値となる電流が、MOSTランジスタT7、T4を介して出力信号線6に導出される。このようにして入射光量の積分値に比例した信号（出力電流）を読み出すと、MOSTランジスタT4をOFFにする。

#### 【0163】(2-b)リセット動作

各画素のリセットを行うときの、各信号のタイミングチャートを図60に示す。上記のように、パルス信号φVがMOSTランジスタT4のゲートに与えられて、出力信号が読み出されると、まず、信号φVPGをハイレベルにして、MOSTランジスタT2をONにする。このようにMOSTランジスタT2がONになると、MOSTランジスタT3のゲートに第3電圧が与えられ、MOSTランジスタT3のゲート電圧がリセットされる。そして、信号φVPGを再びローレベルにして、MOSTランジスタT2をOFFにする。

【0164】次に、MOSTランジスタT8のゲートにパルス信号φVRS2を与えて、接続ノードaの電圧をリセットした後、MOSTランジスタT4のゲートにパルス信号φVを与えて出力信号を読み出す。このとき、出力信号は、MOSTランジスタT3のゲート電圧に応じた値となり、初期化されたときの出力信号として読み出される。そして、出力信号が読み出されると、もう一度MOSTランジスタT8のゲートにパルス信号φVRS2を与えて、接続ノードaの電圧をリセットした後、再び上記した撮像動作が行われる。尚、パルス信号φVRS2は、ローレベルのパルス信号である。

【0165】このように初期化されたときの信号を補正データとしてラインメモリなどのメモリに記憶し、各画素毎に、実際の撮像時の出力信号をこの補正データを用いて補正することによって、出力信号から画素のパラッキによる成分を取り除くことができる。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。尚、第6の実施形態（図16）のように、MOSTランジスタT3のドレインにパルス信号φVPSを与えるような構造にして、この信号φVPSによってMOSTランジスタT3によって、接続ノードaの電圧をリセットできるようにすることで、図58の構成の画素からMOSTランジスタT8を省略した構成にしても構わない。尚、この場合は、MOSTランジスタT3のドレインに与えるパルス信号φVPSを、フォトダイオードPDのアノードに印加する直流電圧VPSとは異なる電源線から供給するようにする。

【0166】<第13の実施形態>第13の実施形態について、図面を参照して説明する。図61は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図55に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0167】図61に示すように、本実施形態では、MOSTランジスタT3のドレインに直流電圧VPDが印加されるとともに、キャパシタC1及びMOSTランジスタT7、T8を削除した構成となっている。その他の構成は、第11の実施形態（図55）と同一である。

【0168】(1) 光電流を自然対数的に変換して出力する場合。

このとき、第11の実施形態と同様に、MOSTランジスタT2をサブスレッショルド領域で動作させるための電圧を第1電圧とし、MOSTランジスタT2の閾値のパラッキを検出するために、直流電圧VPSに略等しい値となる電圧を第2電圧とする。

#### 【0169】(1-a)撮像動作

信号φVPDを第1電圧として、MOSTランジスタT2をサブスレッショルド領域で動作させるとともに、MOSTランジスタT1のゲートに与えられる信号φSをハイレベルにし、MOSTランジスタT1をONの状態にする。このとき、フォトダイオードPDに光が入射すると光電流が発生し、MOSTランジスタのサブスレッショルド特性により、光電流を自然対数的に変換した値の電圧がMOSTランジスタT2のソース及びMOSTランジスタT3のゲートに発生する。尚、このとき、フォトダイオードPDで発生した負の光電荷がMOSTランジスタT2のソースに流れ込むため、強い光が入射されるほどMOSTランジスタT2のソース電圧が低下する。

【0170】このようにして光電流に対して自然対数的に変化した電圧がMOSTランジスタT3のゲートに現れると、パルス信号φVが与えられてMOSTランジスタT4をONとして、前記光電流を自然対数的に変換した値となる電流が、MOSTランジスタT3、T4を介して出力信号線6に導出される。このようにして入射光量の対数値に比例した信号（出力電流）を読み出すと、MOSTランジスタT4をOFFにする。

#### 【0171】(1-b)感度のパラッキ検出

各画素の感度のパラッキを検出するときの、各信号のタイミングチャートを図62に示す。上記のように、パルス信号φVがMOSTランジスタT4のゲートに与えられて、出力信号が読み出されると、第11の実施形態（図56）と同様に、まず、信号φSをローレベルにして、MOSTランジスタT1をOFFにする。そして、信号φVPDを第2電圧にして、MOSTランジスタT2のドレイン・ソース間に負の電荷を蓄積させる。

【0172】次に、信号φVPDを第1電圧に戻すと、この蓄積された負の電荷が信号φVPDの信号線に流れ出して、MOSTランジスタT2のソースに負の電荷が蓄積された状態になる。この負の電荷の蓄積量は、ゲート・ソース間の閾値電圧によって決まる。このように、MOSTランジスタT2のソースに負の電荷が蓄積されると、MOSTランジスタT4のゲートにパルス信号φV

を与えて出力信号を読み出す。

【0173】このとき、読み出された出力信号は、MOSTランジスタ2の閾値電圧に応じた値となるため、これにより、各画素の感度のバラツキを検出することができる。そして、最後に、撮像動作が行えるように、信号φSをハイレベルにしてMOSTランジスタ1をONにする。このように検出した感度のバラツキ検出を行って得られる信号を補正データとしてラインメモリなどのメモリに記憶し、各画素毎に、実際の撮像時の出力信号をこの補正データを用いて補正することによって、出力信号から画素のバラツキによる成分を取り除くことができる。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。

【0174】(2) 光電流を線形的に変換して出力する場合。

このとき、第11の実施形態と同様に、信号φVPDの電圧は、MOSTランジスタ3の動作点となる電圧である第3電圧とする。又、このとき、信号φSは常にハイレベルで、信号φSがゲートに与えられるMOSTランジスタ1は、常にON状態である。このようにすることによって、MOSTランジスタ2が図54のリセット用のMOSTランジスタ2に、MOSTランジスタ3が図54の信号増幅用のMOSTランジスタ1に相当した構成になる。

【0175】(2-a) 撮像動作

まず、第11の実施形態と同様に、信号φVPGをローレベルにして、リセット用のMOSTランジスタ2をOFFの状態にする。このように、リセット用のMOSTランジスタ2をOFFにすると、フォトダイオードPDに光電流が流れることによって、MOSTランジスタ3のゲート電圧が変化する。即ち、フォトダイオードPDより負の光電荷がMOSTランジスタ3のゲートに与えられ、MOSTランジスタ3のゲート電圧が、光電流に対して線形的に変化した値になる。尚、このとき、フォトダイオードPDで発生した負の光電荷がMOSTランジスタ3のゲートに流れ込むため、強い光が入射されるほどMOSTランジスタ3のゲート電圧が低くなる。

【0176】このようにして光電流に対して線形的に変化した電圧がMOSTランジスタ3のゲートに現れると、パルス信号φVが与えられてMOSTランジスタ2をONにする。このとき、前記光電流の積分値を線形的に変換した値となる電流が、MOSTランジスタ3、T4を介して出力信号線6に導出される。このようにして入射光量の積分値に比例した信号(出力電流)を読み出すと、MOSTランジスタ2をOFFにする。

【0177】(2-b) リセット動作

各画素のリセットを行うときの、各信号のタイミングチャートを図63に示す。上記のように、パルス信号φVがMOSTランジスタ4のゲートに与えられて、出力

信号が読み出されると、まず、信号φVPGをハイレベルにして、MOSTランジスタ2をONにする。このようにMOSTランジスタ2がONになると、MOSTランジスタ3のゲートに第3電圧が与えられ、MOSTランジスタ3のゲート電圧がリセットされる。そして、信号φVPGを再びローレベルにして、MOSTランジスタ2をOFFにする。

【0178】次に、MOSTランジスタ4のゲートにパルス信号φVを与えて出力信号を読み出す。このとき、出力信号は、MOSTランジスタ3のゲート電圧に応じた値となり、初期化されたときの出力信号として読み出される。そして、出力信号が読み出されると、再び上記した撮像動作が行われる。このように初期化されたときの信号を補正データとしてラインメモリなどのメモリに記憶し、各画素毎に、実際の撮像時の出力信号をこの補正データを用いて補正することによって、出力信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図53に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。

【0179】以上説明した実施形態において、各画素からの信号読み出しは電荷結合素子(CCD)を用いて行うようにしてもかまわない。この場合、MOSTランジスタ4に相当するボテンシャルレベルを可変としたボテンシャルの障壁を設けることにより、CCDへの電荷読み出しを行えばよい。

【0180】以上説明した第1〜第11及び第13の実施形態は、画素内の能動素子であるMOSTランジスタ1〜T8を全てNチャネルのMOSTランジスタで構成しているが、これらのMOSTランジスタ1〜T8を全てPチャネルのMOSTランジスタで構成してもよい。又、第12の実施形態において、画素内のNチャネルのMOSTランジスタをPチャネルのMOSTランジスタに、PチャネルのMOSTランジスタをNチャネルのMOSTランジスタに変えて構成しても構わない。

【0181】図33〜図36及び図39〜図44には、上記第1〜第10の実施形態をPチャネルのMOSTランジスタで構成した例である第14〜第23の実施形態を示している。又、図46〜図66には、上記第11〜第13の実施形態の画素のMOSTランジスタを逆極性のMOSTランジスタで構成した例である第24〜第26の実施形態を示している。又、図45〜図48は、第20〜第23の実施形態において、第1MOSTランジスタ1をディプレッション型のPチャネルのMOSTランジスタとしたものである。更に、図49〜図52は、第20〜第23の実施形態において、第1MOSTランジスタ1をNチャネルのMOSTランジスタとしたものである。そのため図32〜図52及び図64〜図66では接続の極性や印加電圧の極性が逆になっている。例えば、図33(第14の実施形態)において、フ

オートダイオードPDはアノードに直流電圧VPDに接続され、カソードが第1MOSトランジスタT1のドレインに接続され、また、MOSトランジスタT1のソースが第2MOSトランジスタT2のドレイン及び第3MOSトランジスタT3のゲートに接続されている。MOSトランジスタT2のソースには信号φVPSが与えられる。

【0182】ところで、図33のような画素が対数変換を行うとき、直流電圧VPSと直流電圧VPDは、 $VPS > VPD$  となっており、図2（第1の実施形態）と逆である。また、キャパシタC1の出力電圧は初期値が高い電圧で、積分によって降下する。また、第1MOSトランジスタT1や第4MOSトランジスタT4や第5MOSトランジスタT5や第6MOSトランジスタT6をONさせるときは、低い電圧をゲートに印加する。更に、図34～図36、図39～図5の実施形態（第15～第24の実施形態）において、第8MOSトランジスタT8ときには、低い電圧をゲートに印加する。又、図49～図52に示す構成の画素において、NチャネルのMOSトランジスタとなる第1MOSトランジスタT1をONさせるときは、高い電圧をゲートに印加する。更に、図65の実施形態（第25の実施形態）において、第4MOSトランジスタT4をONさせるときは低い電圧をゲートに印加し、そして、第8MOSトランジスタT8をONさせるときは高い電圧をゲートに印加する。以上の通り、逆極性のMOSトランジスタを用いる場合は、電圧関係や接続関係が一部異なるが、構成は実質的に同一であり、また基本的な動作も同一であるので、図33～図36、図39～図52、及び図64～図66については図面ですすのみで、その構成や動作についての説明は省略する。

【0183】第14～第17の実施形態の画素を含む固体撮像装置の全体構成を説明するためのブロック回路構成図を図32に示し、第18～第26の実施形態の画素を含む固体撮像装置の全体構成を説明するためのブロック回路構成図を図37に示している。図32及び図37については、図1及び図12と同一部分（同一の役割部分）に同一の符号を付して説明を省略する。以下、図37の構成について簡単に説明する。列方向に配列された出力信号線6-1、6-2、・・・、6-mに対してPチャネルのMOSトランジスタQ1とPチャネルのMOSトランジスタQ2が接続されている。MOSトランジスタQ1のゲートは直流電圧線7に接続され、ドレインは出力信号線6-1に接続され、ソースは直流電圧VPS'のライン8に接続されている。

【0184】一方、MOSトランジスタQ2のドレインは出力信号線6-1に接続され、ソースは最終的な信号線9に接続され、ゲートは水平走査回路3に接続されている。ここで、MOSトランジスタQ1は画素内のPチャネルのMOSトランジスタTaと共に図38（a）に示すような増幅回路を構成しており、尚、MOSトラン

ジスタTaは、第18、第19、第24及び第25の実施形態では第7MOSトランジスタT7に相当し、又、第20～第23及び第26の実施形態では第3MOSトランジスタT3に相当する。

【0185】この場合、MOSトランジスタQ1はMOSトランジスタTaの負荷抵抗又は定電流源となっている。従って、このMOSトランジスタQ1のソースに接続される直流電圧VPS'と、MOSトランジスタTaのドレインに接続される直流電圧VPD'との関係は、 $VPD' < VPS'$  であり、直流電圧VPD'は例えばグラウンド電圧（接地）である。MOSトランジスタQ1のドレインはMOSトランジスタTaに接続され、ゲートには直流電圧が印加されている。PチャネルのMOSトランジスタQ2は水平走査回路3によって制御され、増幅回路の出力を最終的な信号線9へ導出する。第18～第26の実施形態のように、画素内に設けられた第4MOSトランジスタT4を考慮すると、図38（a）の回路は図38（b）のように表わされる。

【0186】＜画像データの補正方法＞上述した第1～第26の実施形態のような回路構成の画素が設けられた固体撮像装置がデジタルカメラなどの画像入力装置に使用されたときの実施例を、図面を参照して説明する。

【0187】図53に示す画像入力装置は、対物レンズ51と、該対物レンズ51を通して入射される光の光量に応じて電気信号を出力する固体撮像装置52と、撮像時の固体撮像装置52の電気信号（以下、「画像データ」と呼ぶ。）が入力されて一時記憶されるメモリ53と、リセット時の固体撮像装置52の電気信号（以下、「補正データ」と呼ぶ。）が入力されて一時記憶されるためのメモリ54と、メモリ53から送出される画像データからメモリ54から記憶される補正データを補正演算する補正演算回路55と、補正演算回路55で補正データにより補正の施された画像データを演算処理して外部に出力する処理部56とを有する。尚、固体撮像装置52は、第1～第26の実施形態のような回路構成の画素が設けられた固体撮像装置である。

【0188】このような構成の画像入力装置は、まず、撮像動作を行って、固体撮像装置52から各画素毎に画像データがメモリ53に出力される。そして、各画素が撮像動作を終えて、リセット動作を行ったときに、上記で説明したように、各画素の感度のバラツキを調べて、補正データをメモリ54に出力する。そして、メモリ53内の各画素の画像データとメモリ54内の各画素の補正データを、補正演算回路55にこの画像データを各画素毎に送出する。

【0189】補正演算回路55では、メモリ53から送出された画像データからこの画像データを出力した同一画素のメモリ54から送出された補正データが各画素毎に補正演算される。この補正データが補正演算された画像データが処理部56に送出されて、演算処理された

後、外部に出力される。又、このような画像入力装置において、メモリ 53、54 は、それぞれ、固体撮像装置 52 からライン毎に送出されるデータが記録されるラインメモリなどが用いられる。従って、メモリ 53、54 を固体撮像装置内に組み込むことも容易である。

【0190】尚、他の実施形態においては、リセットを行うことによって、ほぼ各画素の感度のバラツキがキャンセルされるが、これをより正確に行うために図 53 で説明したようなメモリや補正演算回路などを含む補正回路を設けるようにしても構わない。

【0191】

【発明の効果】以上説明したように、本発明の請求項 1、請求項 2、請求項 8、請求項 9、請求項 16、請求項 17 に記載の固体撮像装置によれば、感光素子とこれに第 1 電極が電気的に接続される第 1 のトランジスタとの間にスイッチ手段を設け、このスイッチ手段を OFF するともに前記第 1 のトランジスタに、撮像時よりも大きい電流が流れ得るようにしてリセットを行うようにした。従って、感光素子に入射する光がリセット動作に影響を与えることが防止され、リセット動作が正確に行えるようになる。又、リセットによって各画素が同じ初期状態となり、各画素の感度バラツキを抑制することができる。

【0192】又、請求項 3、請求項 10、請求項 14、請求項 15、請求項 25 に記載するように、光電変換素子と第 1 トランジスタとの間及び第 1 トランジスタの制御電極と第 1 電極との間に設けられた 2 つのスイッチ、或いは、フォトダイオードと第 2 MOS トランジスタとの間及び第 2 MOS トランジスタのゲート電極と第 1 電極との間に設けられた 2 つの MOS トランジスタを OFF するとともに、第 1 のトランジスタの制御電極と第 2 電極、或いは、第 2 MOS トランジスタのゲート電極と第 2 電極に与える電圧を変化させることによって各画素の感度バラツキを検出することにより、正確に各画素の感度バラツキの検出を行うことができる。更に、能動素子を MOS トランジスタで構成することにより高集積化が容易となり、周辺の処理回路 (A/D コンバータ、デジタル・システム・プロセッサ、メモリ) 等とともにワンチップ上に形成することができる。

【図面の簡単な説明】

【図 1】本発明の一実施形態である二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 2】本発明の第 1 の実施形態の 1 画素の構成を示す回路図。

【図 3】第 1 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 4】図 2 の画素の構成及びポテンシャルの関係を表した図。

【図 5】本発明の第 2 の実施形態の 1 画素の構成を示す回路図。

【図 6】本発明の第 3 の実施形態の 1 画素の構成を示す回路図。

【図 7】第 3 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 8】図 6 の画素の構成及びポテンシャルの関係を表した図。

【図 9】本発明の第 4 の実施形態の 1 画素の構成を示す回路図。

【図 10】第 4 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 11】図 9 の画素の構成及びポテンシャルの関係を表した図。

【図 12】本発明の一実施形態である二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 13】図 12 の一部の回路図。

【図 14】本発明の第 5 の実施形態の 1 画素の構成を示す回路図。

【図 15】第 5 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 16】本発明の第 6 の実施形態の 1 画素の構成を示す回路図。

【図 17】本発明の第 7 の実施形態の 1 画素の構成を示す回路図。

【図 18】第 7 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 19】本発明の第 8 の実施形態の 1 画素の構成を示す回路図。

【図 20】本発明の第 9 の実施形態の 1 画素の構成を示す回路図。

【図 21】第 9 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 22】本発明の第 10 の実施形態の 1 画素の構成を示す回路図。

【図 23】第 10 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 24】本発明の第 7 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 25】本発明の第 8 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 26】本発明の第 9 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 27】本発明の第 10 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 28】本発明の第 7 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 29】本発明の第 8 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 30】本発明の第 9 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 31】本発明の第 10 の実施形態の 1 画素の構成の

1 例を示す回路図。

【図 32】画素内の能動素子を P チャンネルの MOS トランジスタで構成した実施形態の場合の本発明の二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 33】本発明の第 14 の実施形態の 1 画素の構成を示す回路図。

【図 34】本発明の第 15 の実施形態の 1 画素の構成を示す回路図。

【図 35】本発明の第 16 の実施形態の 1 画素の構成を示す回路図。

【図 36】本発明の第 17 の実施形態の 1 画素の構成を示す回路図。

【図 37】画素内の能動素子を P チャンネルの MOS トランジスタで構成した実施形態の場合の本発明の二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 38】図 37 の一部の回路図。

【図 39】本発明の第 18 の実施形態の 1 画素の構成を示す回路図。

【図 40】本発明の第 19 の実施形態の 1 画素の構成を示す回路図。

【図 41】本発明の第 20 の実施形態の 1 画素の構成を示す回路図。

【図 42】本発明の第 21 の実施形態の 1 画素の構成を示す回路図。

【図 43】本発明の第 22 の実施形態の 1 画素の構成を示す回路図。

【図 44】本発明の第 23 の実施形態の 1 画素の構成を示す回路図。

【図 45】本発明の第 20 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 46】本発明の第 21 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 47】本発明の第 22 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 48】本発明の第 23 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 49】本発明の第 20 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 50】本発明の第 21 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 51】本発明の第 22 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 52】本発明の第 23 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 53】各実施形態の画素を用いた個体撮像装置を備

えた画像入力装置の内部構造を示すブロック図。

【図 54】従来例の 1 画素の構成を示す回路図。

【図 55】本発明の第 11 の実施形態の 1 画素の構成を示す回路図。

【図 56】第 11 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 57】第 11 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 58】本発明の第 12 の実施形態の 1 画素の構成を示す回路図。

【図 59】第 12 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 60】第 12 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 61】本発明の第 13 の実施形態の 1 画素の構成を示す回路図。

【図 62】第 13 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 63】第 13 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 64】本発明の第 24 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 65】本発明の第 25 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 66】本発明の第 26 の実施形態の 1 画素の構成の 1 例を示す回路図。

【符号の説明】

G11～Gmn 画素

2 垂直走査回路

3 水平走査回路

4-1～4-n 行選択線

6-1～6-m 出力信号線

7 直流電圧線

8 ライン

9 信号線

10 P 型半導体基板

11, 12 N 型拡散層

13 酸化膜

14 ポリシリコン

15 対物レンズ

52 固体撮像装置

53, 54 メモリ

55 補正演算回路

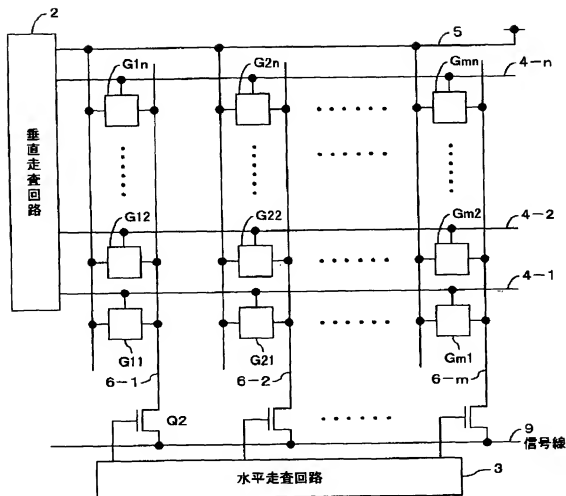
56 処理部

PD フォトダイオード

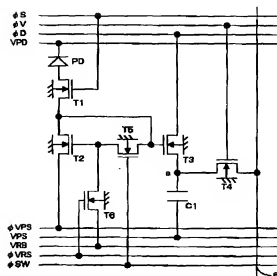
T1～T8 第 1～第 8 MOS トランジスタ

C1, C2 キャパシタ

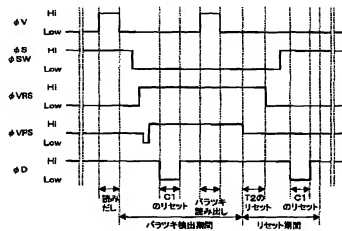
【図1】



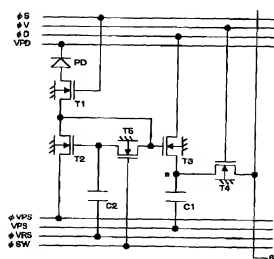
【図2】



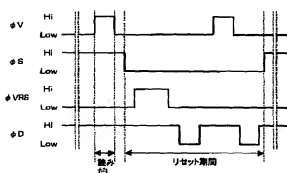
【図3】



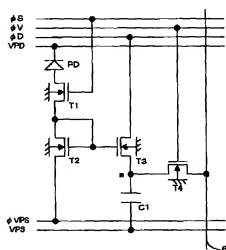
【図5】



【图7】

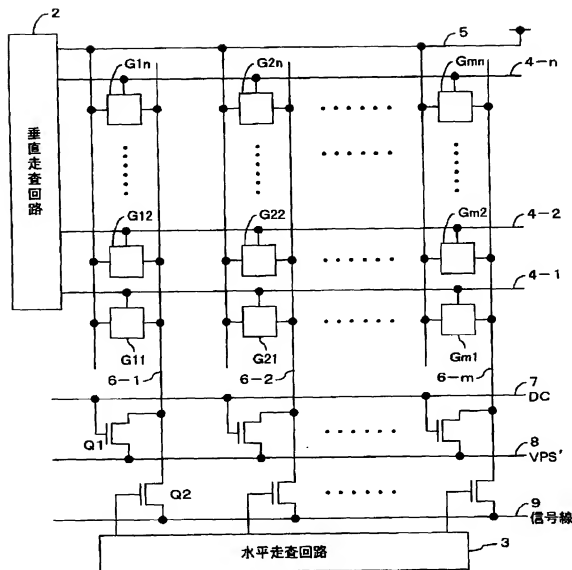


【图9】

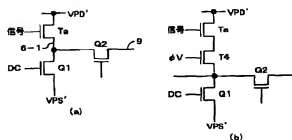




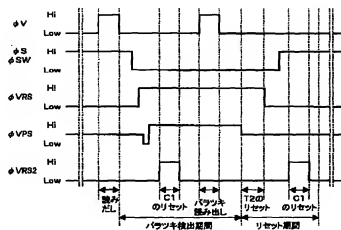
【図12】



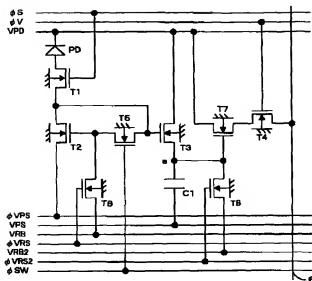
【図13】



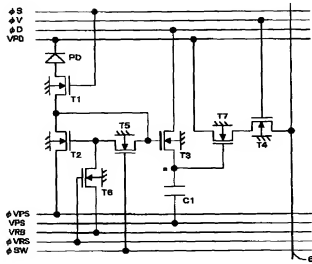
【図15】



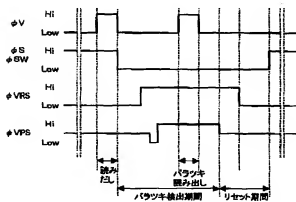
【図14】



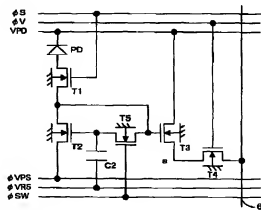
【図16】



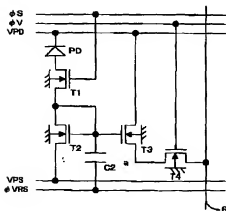
【図18】



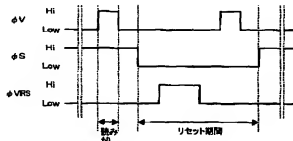
【図19】



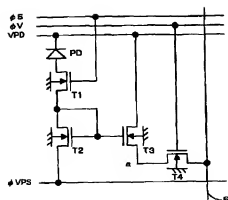
【図20】



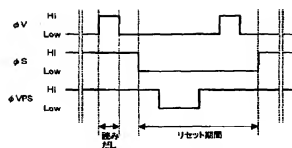
【図21】



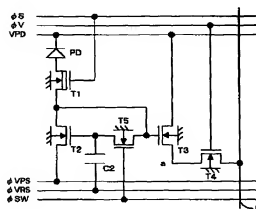
【図22】



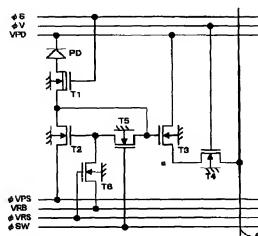
【図23】



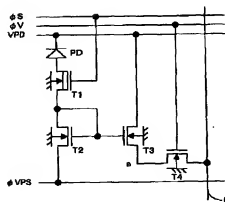
【図25】



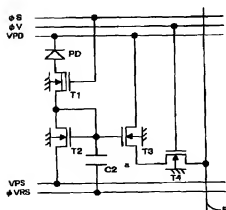
【図24】



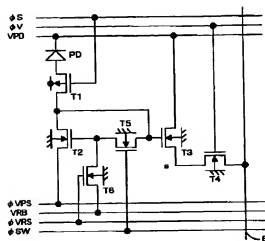
【図27】



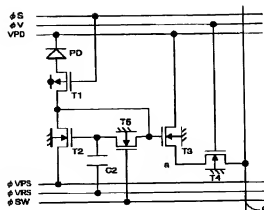
【図26】



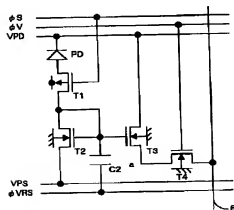
【図28】



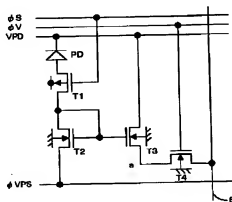
【図29】



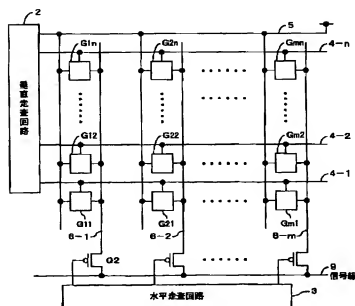
【図30】



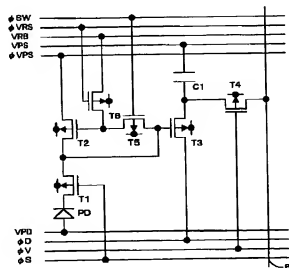
【図31】



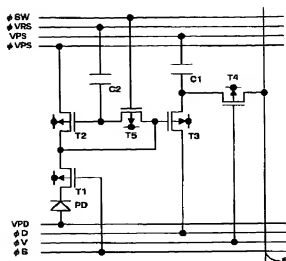
【図32】



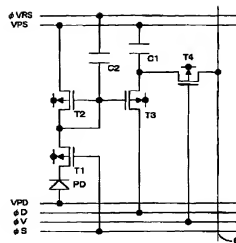
【図33】



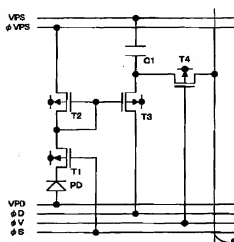
【図34】



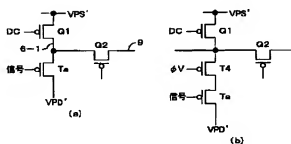
【図35】



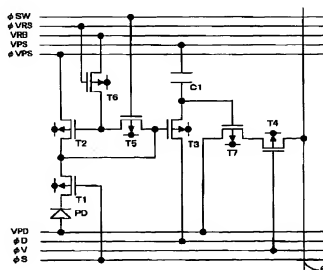
【図36】



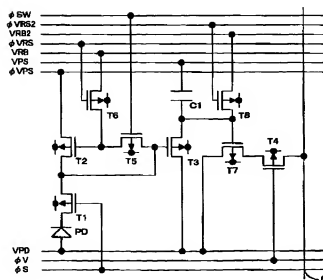
【図38】



【図40】

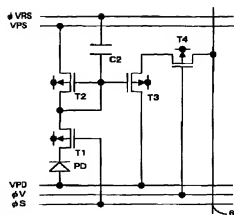


【図39】

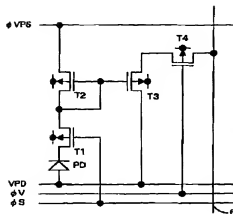




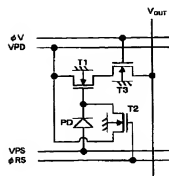
【図43】



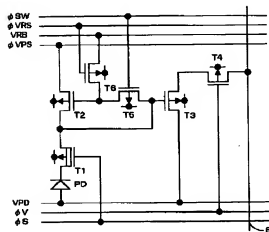
【図44】



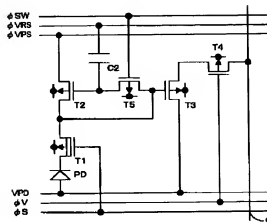
【図54】



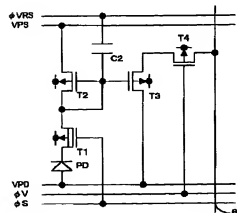
【図45】



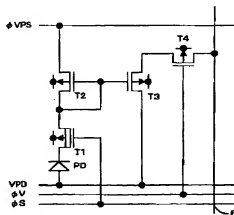
【図46】



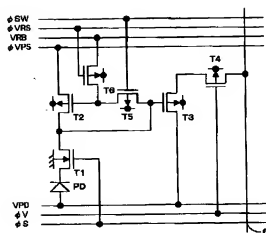
【図47】



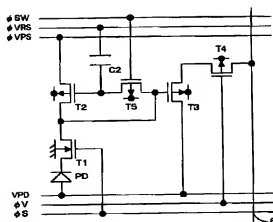
【図48】



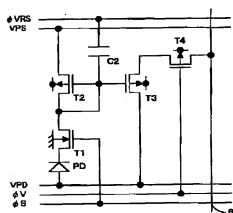
【図 49】



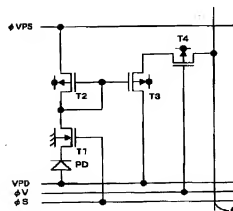
【図 50】



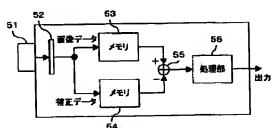
【図 51】



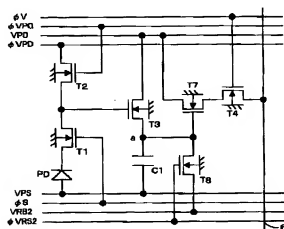
【図 52】



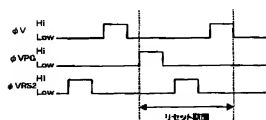
【図 53】



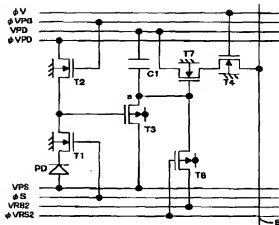
【図 55】



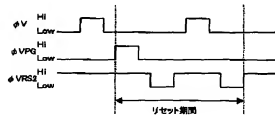
【図 57】



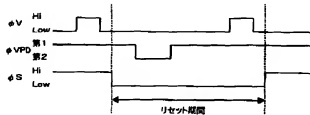
【图 5 8】



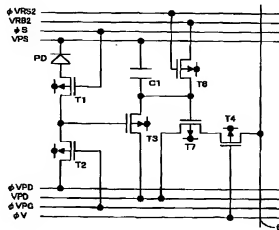
【图 6-0】



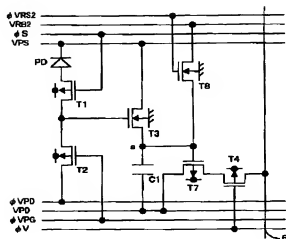
【图62】



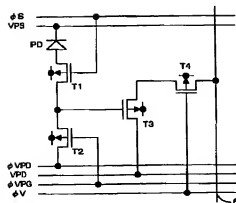
【图 6-3】



【図65】



【図66】



フロントページの続き

Fターム(参考) 4M118 AA02 AA10 AB01 AB10 BA10  
 BA14 CA02 DB09 DB11 DD09  
 DD12 FA06  
 5C024 AA01 CA14 FA01 FA11 GA31  
 GA33 JA04